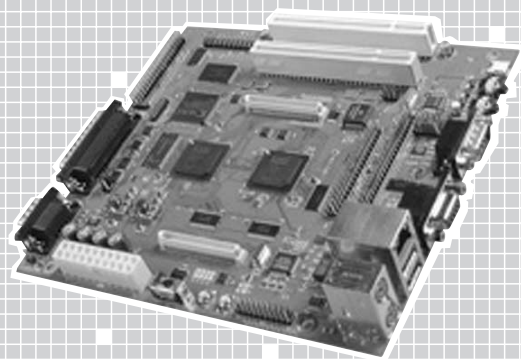


# 組み込みシステム 開発評価キット 活用通信



井倉 将実

## 第3回 BLANCA システム・バスと PCI バスの接続

連載の第1回(2006年11月号, pp.161-171)と第2回(2006年12月号, pp.145-154)で, BLANCA システム・バスや割り込みルーティング方法などについて解説しました。今回は, 組み込み開発評価キットで採用されているもう一つのバスである“PCIバス”を, ソフトCPUコアやBLANCAシステム・バスに対して, どのようにマッピングしているかを解説します。

なお, PCIバスの詳細については, 参考文献(1)を参照することをお勧めします。

### 1. PCIバスのアドレッシング空間とメモリ・マップ

メモリ, I/O, コンフィギュレーションの3空間

PCIバスは, メモリ空間とI/O空間を別々にもつx86CPUを搭載したPC/AT互換機の拡張バスとして誕生したこともあり, 4Gバイトのアドレス空間をもつメモリ空間およびI/O空間と, 256バイトの空間をもつコンフィギュレーション空間があります。

PCIのメモリとI/O空間は, CPUから見た場合のメモリとI/O空間の区別と同じです。

コンフィギュレーション空間は, PCIデバイスのベンダIDやデバイスID, 各種クラス・コード, 要求する空間サイズや割り込みの有無などの各種情報を格納して設定する, PCIバスのプラグ&プレイ・システムを支える重要な空間です。

バンク切り替え方式で空間をマッピング

PCIのメモリ空間は4Gバイトものサイズがあります。一般の32ビット・プロセッサのアドレッシング能力も4Gバイトです。しかし, そのすべての空間をPCIバスで使えるわけではありません。ローカル・メモリ空間やCPU固有の使用禁止領域などもあるでしょう。さらにCPUアーキテクチャによっては, I/O空間をもたないものも存在します。

このように, 狭い空間内に広い空間をマッピングしなければならない場合は, バンク切り替え方式を採用して空間をマッピングします。

PCIホスト・コントローラの基本メモリ・マップ

本評価キットに添付されているサンプルのPCIホスト・コントローラ的设计では, 表1(a)のように各種リソースをマッピ

ングしています。先頭には, 後述するPCIコンフィギュレーション制御などを行うPCIホスト制御レジスタ空間を用意します。次に, PCIバスマスタ・デバイスのためにデュアルポート・メモリ空間を用意しています。

また, PCI I/O空間用として64Kバイトを割り当てています。MicroBlazeもM32Rソフト・コアもアーキテクチャとしてI/O空間をもっていないので, メモリ・マップドI/Oとしてメモリ空間内に割り当てる必要があります。PCIバスがx86CPUから誕生したバスであるなら, PCIのI/O空間は64Kバイトで十分なはずですが, PCIバスの仕様上こちらも4Gバイトの空間となっています。しかし, 実質的にはほとんどすべてのPCIデバイスで, 下位16ビットのみの64Kバイトの範囲内で使うのが一般的です。

そしてPCIメモリ空間として八つのバンクを設け, それぞれメモリ・ウィンドウ0~7と呼ぶことにします。オフセット・アドレスの上位がxxとしてあるのは, このPCIホスト・コントローラ全体として, どのくらいの空間サイズを割り当てるかにより, 各メモリ・ウィンドウのサイズが変わってくるからです。

MicroBlaze & M32Rソフト・コア実装時のメモリ・マップ

より具体的な実装例として, 表1(b)にMicroBlazeの例を示します。MicroBlazeの4Gバイトの全アドレス空間中, 前半の2Gバイトに本評価キット添付の周辺コントローラを接続し, 後半2GバイトをBLANCAシステム・バスに接続しています。表1(c)に示すように, BLANCAシステム・バス空間のうち最後の1GバイトをPCIホスト・コントローラの空間としています。

もう一つのソフトCPUコアの例であるM32Rソフト・コアの場合は, さらにアドレス空間が狭くなっています。CPUのもつ物理アドレス空間が512Mバイトしかないため, 表1(c)に示すように1000\_0000hからの256MバイトをPCIホスト・コントローラの空間としています。



表1 PCI ホスト・コントローラのメモリ・マップ

オフセット	リード/ライト	用途
+00_0000h	R/W	PCI ホスト制御レジスタ空間
+00_8000h	R/W	デュアルポート・メモリ空間
+01_0000h	R/W	PCI I/O 空間
+x2_0000h	R/W	PCI メモリ・ウィンドウ 0 空間
+xx_0000h	R/W	PCI メモリ・ウィンドウ 1 空間
+xx_0000h	R/W	PCI メモリ・ウィンドウ 2 空間
}	}	}
+xx_0000h	R/W	PCI メモリ・ウィンドウ 7 空間

(a) 基本メモリ・マップ

アドレス	サイズ(バイト)	用途
C000_0000h ~	32K	PCI ホスト制御レジスタ空間
C000_8000h ~	32K	デュアルポート・メモリ空間
C001_0000h ~	64K	PCI I/O 空間
C002_0000h ~	128M - 128K	PCI メモリ・バンク 0 空間
C800_0000h ~	128M	PCI メモリ・ウィンドウ 1 空間
D000_0000h ~		PCI メモリ・ウィンドウ 2 空間
D800_0000h ~		PCI メモリ・ウィンドウ 3 空間
E000_0000h ~		PCI メモリ・ウィンドウ 4 空間
E800_0000h ~		PCI メモリ・ウィンドウ 5 空間
F000_0000h ~		PCI メモリ・ウィンドウ 6 空間
F800_0000h ~		PCI メモリ・ウィンドウ 7 空間
FFFF_FFFFh		

(b) MicroBlaze 実装時

アドレス	サイズ(バイト)	用途
1000_0000h ~	32K	PCI ホスト制御レジスタ空間
1000_8000h ~	32K	デュアルポート・メモリ空間
1001_0000h ~	64K	PCI I/O 空間
1002_0000h ~	32M - 128K	PCI メモリ・ウィンドウ 0 空間
1200_0000h ~	32M	PCI メモリ・ウィンドウ 1 空間
1400_0000h ~		PCI メモリ・ウィンドウ 2 空間
1600_0000h ~		PCI メモリ・ウィンドウ 3 空間
1800_0000h ~		PCI メモリ・ウィンドウ 4 空間
1A00_0000h ~		PCI メモリ・ウィンドウ 5 空間
1C00_0000h ~		PCI メモリ・ウィンドウ 6 空間
1E00_0000h ~		PCI メモリ・ウィンドウ 7 空間
1FFF_FFFFh		

(c) M32R ソフト・コア実装時

表2 PCI ホスト制御レジスタ空間のレジスタ・マップ

オフセット	ビット	リード/ライト	用途
+0000h	31 ~ 0	R	デバイス ID レジスタ('PCIH')
+0004h	31 ~ 0	R	リビジョン ID レジスタ (00010000h = Ver.1.00)
+0010h	割り込みステータス・レジスタ('1'で割り込み要求)		
	1	R	INTA# ~ INTD# 割り込みステータス
	0	R	アボート検出割り込みステータス
注: このレジスタでは割り込み要求クリアはできない			
+0014h	割り込みイネーブル・レジスタ('1'で割り込み許可)		
	1	R/W	INTA# ~ INTD# 割り込みイネーブル
	0	R/W	アボート検出割り込みイネーブル
+0018h	INTA# ~ INTD# 割り込みステータス (1で割り込み要求)		
	3	R	INTD# 割り込みステータス
	2	R	INTC# 割り込みステータス
	1	R	INTB# 割り込みステータス
	0	R	INTA# 割り込みステータス
	注: これらの割り込みは、それぞれの PCI デバイスの割り込みクリア方法に従う		
+0020h	アボート検出ステータス		
	1	R/WC	ターゲット・ポート検出ステータス
	0	R/WC	マスタ・アボート検出ステータス
注: アボート割り込みが発生した場合は、このレジスタでクリアする			
+0040h	コンフィグレーション・アドレス・レジスタ		
	31	R/W	コンフィグレーション・サイクル・イネーブル('1'にするとコンフィグレーション・サイクル・イネーブル)
	23 ~ 16	R/W	PCI バス番号設定レジスタ
	15 ~ 11	R/W	PCI デバイス番号設定レジスタ
	10 ~ 8	R/W	PCI ファンクション番号設定レジスタ
	7 ~ 2	R/W	PCI コンフィグレーション・レジスタ設定レジスタ
	+0044h 31 ~ 0 R/W コンフィグレーション・データ・レジスタ		
+0080h	31 ~ x	R/W	PCI メモリ・ウィンドウ 0 レジスタ
+0084h	31 ~ x	R/W	PCI メモリ・ウィンドウ 1 レジスタ
+0088h	31 ~ x	R/W	PCI メモリ・ウィンドウ 2 レジスタ
+008Ch	31 ~ x	R/W	PCI メモリ・ウィンドウ 3 レジスタ
+0090h	31 ~ x	R/W	PCI メモリ・ウィンドウ 4 レジスタ
+0094h	31 ~ x	R/W	PCI メモリ・ウィンドウ 5 レジスタ
+0098h	31 ~ x	R/W	PCI メモリ・ウィンドウ 6 レジスタ
+009Ch	31 ~ x	R/W	PCI メモリ・ウィンドウ 7 レジスタ
+00C0h	31 ~ 16	R/W	PCI I/O バンク・レジスタ

## 2. PCI ホスト制御レジスタとコンフィグレーション空間へのアクセス

PCI ホスト制御レジスタ空間の詳細

PCI バス上の割り込みや、PCI バス・アクセス時に発生したアボートを検出したり、各メモリ・ウィンドウのベース・アドレスを設定するためのレジスタを割り当てている空間です。表2にPCI ホスト制御レジスタ空間のレジスタ・マップを示します。

なお、PCI バス上の割り込みは、この割り込みステータス・レジスタではクリアできません。この割り込みをクリアするに

は、実際に割り込みを出力している各 PCI デバイスにアクセスして、割り込み要因をクリアする必要があります。

PCI コンフィグレーション制御レジスタ

表1のメモリ・マップには、PCI メモリ空間や I/O 空間が割り当ててありましたが、コンフィグレーション空間はありませんでした。PCI のコンフィグレーション空間にはどうやってアクセスするのでしょうか。

PCI のコンフィグレーション空間には、表2の中にあるコン