

実践的 PowerPC 活用テクニック



第2回

MPC8241 の構成とメモリ・マップ

春木 大 / 安藤 穰

前回(2006年12月号, pp.169-175)は, Powerアーキテクチャ・テクノロジーに基づいたPowerPC ISA 1.10について解説しました。今回はPowerPC ISA 1.10に準拠した603eコアを内蔵し、玄人志向製の玄箱^{くろはこ}などにも採用されている, 統合プロセッサMPC8241について解説します。

1. MPC8241 の概要

MPC8241 の特徴

Freescale Semiconductor社は, e300の前身となる603eコアと, ノース・ブリッジMPC107を1チップ化した統合プロセッサとしてMPC8245を開発しました。今回解説するMPC8241は, MPC8245の低動作周波数/廉価版として提供されているプロセッサで, MPC8245と同一の機能を持っています。MPC8241の主な特徴を次に示します。

- 603e プロセッサ・コア
 - クロック周波数 166MHz ~ 266MHz
- PCI インターフェース内蔵
 - 32ビット, 33MHzまたは66MHz PCI Rev.2.2
 - PCI アービタ内蔵
 - デュアル・アドレス・サイクル・サポート (64ビットPCIアドレッシング)
- メモリ・インターフェース
 - SDRAM 最大2Gバイト, パリティとECCをサポート
 - 最大133MHz動作
 - 32ビットまたは64ビット・バス・モード
 - 256MビットSDRAMをサポート
 - ROM/フラッシュROM 最大272Mバイト
 - Port X-DRDY, x16デバイス, 4チップ・セレクト
- 2チャンネルDMA(ダイレクト/チェイン・モード)
- メッセージ・ユニット(I²O), I²Cをサポート
- DUART
- プログラマブル割り込みコントローラ(EPIC)
- PCI, メモリ用クロック生成
- パフォーマンス・モニタ
- JTAG バウンダリ・スキャンをサポート

MPC8241 603e プロセッサ・コア

MPC8241において使用される603eプロセッサ・コアは, PowerPC ISA 1.10に準拠した省電力タイプのコアです。このプロセッサ・コアは, 1クロックで最大3命令を発行して完了できるスーパスカラ・プロセッサです。性能を高めるために命令は順不同で実行できますが(アウト・オブ・オーダー実行), 命令の完了は発行順となります(イン・オーダー完了)。図1に603eコアのブロック図を示します。

603e コアは, 整数ユニット(IU), 浮動小数点ユニット(FPU), 分岐処理ユニット(BPU), ロード/ストア・ユニット(LSU), およびシステム・レジスタ・ユニット(SRU)の五つの実行ユニットを備えています。5命令を並列に実行する能力と, 実行時間の短い単純な命令の使用により, 高い効率とスループットが保証されます。ほとんどの整数命令は1クロック・サイクルで実行されます。

FPUはパイプライン化されており, 単精度積和演算命令を各クロック・サイクルで発行/完了できます。データ・タイプとして, 8/16/32ビットの整数データ・タイプと, 32/64ビットの浮動小数点データ・タイプをサポートしています。

603e コアは, 命令用とデータ用に独立した16Kバイト, 4ウェイ・セット・アソシアティブのキャッシュを持っています。また, 命令用とデータ用にオンチップのメモリ管理ユニット(MMU)も持っています。これらのMMUは, ページング仮想メモリ・アドレス変換と可変サイズのブロック・アドレス変換をサポートしています。

603e コアでは, その前身でもあるプロセッサMPC603eに対し, 命令およびデータ・キャッシュのロック機構が追加されています。同機構により, 割り込みルーチンや高速な実行時間を要する重要な命令シーケンスを命令キャッシュ内にロックできるようになります。また, 確度の高い実行時間予測が要求されるコードにおいて使用されるデータも, データ・キャッシュ内にロックすることができます。

603e プロセッサ・コア命令フロー

603e プロセッサ・コアは, パイプライン方式のスーパスカラ・プロセッサです。パイプライン方式のプロセッサでは, 各命令の実行がいくつかのパイプライン・ステージに分けられま

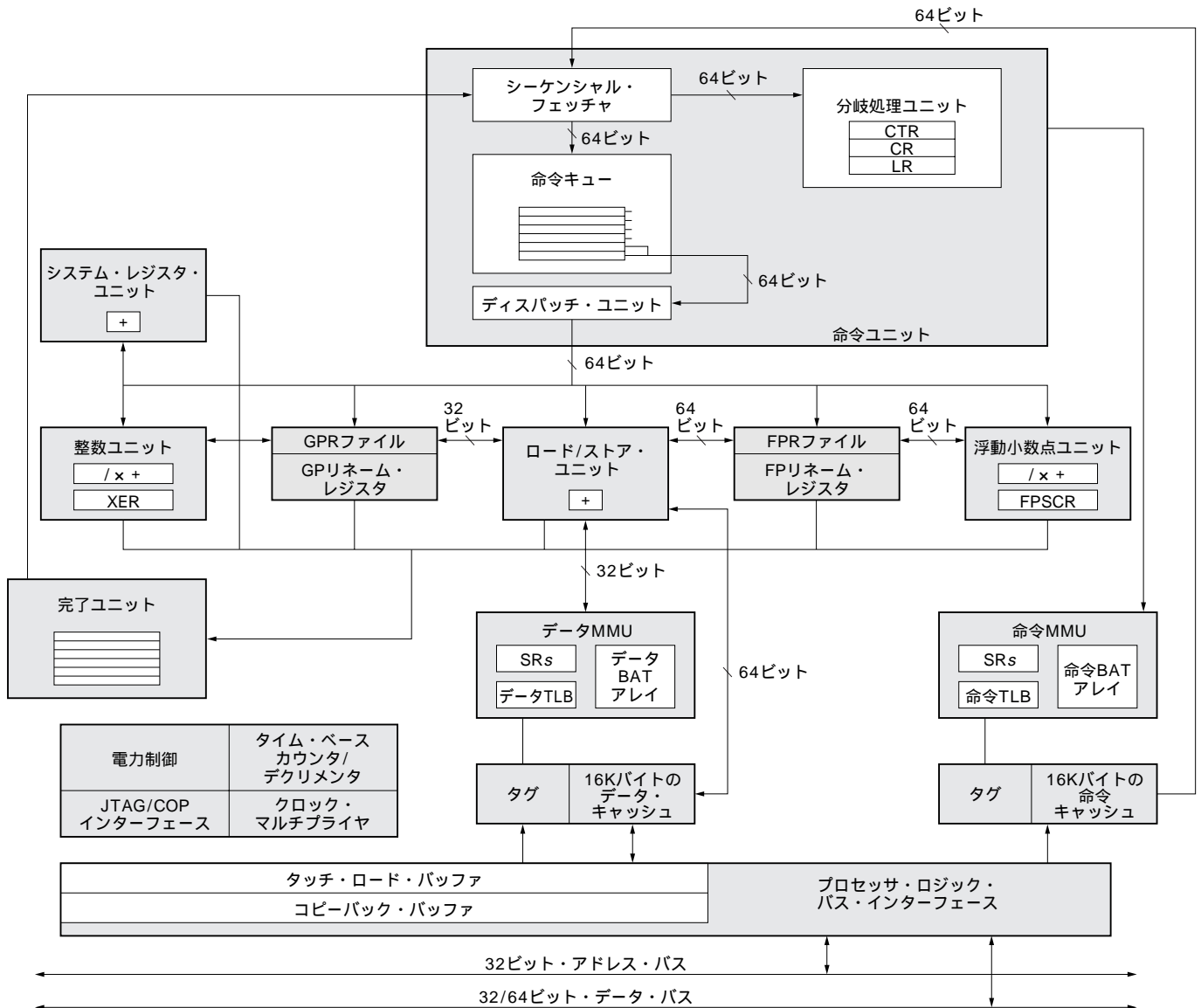


図1 603e コア・ブロック図

す。従って、実行ユニットのリソース全体が一つの命令で一度に使われることはありません。たとえば、一つの命令はデコード・ステージを経てから次のステージに進みますが、そのとき後続の命令はデコード・ステージに入ることができます。その結果、命令フローのスループットが改善されます。プロセッサ・コアの命令パイプラインは次に示す4段のパイプライン・ステージで構成されます。

(1) フェッチ・ステージ

メモリ・システムから命令を取り出し、次の命令フェッチの位置を決めます。BPUは分岐をフェッチ・ステージでデコードし、可能であればデコード・ステージの前で分岐命令をパイプラインから抜き出します。

(2) デコード・ステージ

フェッチ・ステージを経た命令をデコードし、その時点で

ディスパッチ可能な命令を決めます。命令のソース・オペランドは、適切なレジスタ・ファイルから読み取られ、命令とともに実行ステージへディスパッチされます。

(3) 実行ステージ

実行ユニットが命令を(通常、複数サイクルにわたって)実行し、その結果を適切なリネーム・レジスタに書き込み、完了ステージに対して命令実行の終了を通知します。ほとんどのロード/ストア命令にもパイプライン処理が適用されます。ロード/ストア・ユニット(LSU)は2段パイプラインで処理を行います。最初のステージで実効アドレスの算出とMMUによるアドレス変換を行い、次のステージでキャッシュにアクセスします。

(4) 完了ステージ

アーキテクチャに準拠したマシン状態を維持し、命令の完了時にリネーム・レジスタの内容をGPRレジスタとFPRレジス