

# NAND 型フラッシュ ROM の使い方

桑野 雅彦

## ブロック単位でアクセス

バイト単位でランダム・アクセスが可能な NOR 型フラッシュ ROM があります。これに対して、ブロック単位のランダム・アクセスが可能で、1チップでより大容量のデータを記憶できるフラッシュ ROM に、NAND 型フラッシュ ROM があります。

NAND 型フラッシュ ROM では、ブロック単位のことを「ページ」と呼んでいます。ブロック・サイズつまりページ・サイズは、従来までは 528 バイトのものが一般的でした。しかし昨今の大容量化で、528 バイトのページ・サイズでは小さすぎるようになり、最近では 2112 バイト/ページの大容量品も登場しています。528 バイト/ページの NAND 型フラッシュ ROM を小ブロック品、2112 バイト/ページのものを大ブロック品と呼ぶようです。

ここでは、今後ますます需要が増えるであろう大ブロック品の概要について解説します。写真 1 に大容量 NAND 型フラッシュ ROM の外観を示します。

実は SmartMedia や xD ピクチャーカードと同じ！？ご存知ない方も意外に多いのですが、写真 1 に示す NAND 型フラッシュ ROM の中身は、実は SmartMedia や xD ピクチャーカード(写真 2)とほぼ同じものです。半導体のダイは同じで、プリント基板にはんだ付けしやすいように TSOP パッ

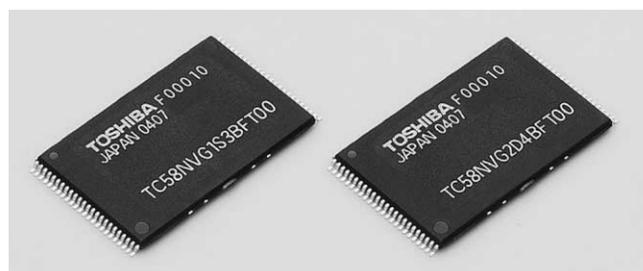


写真 1 大容量 NAND 型フラッシュ ROM の外観

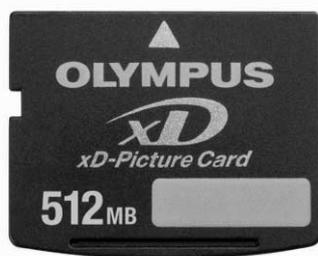


写真 2 xD ピクチャーカードの外観

ケージにしたのか、交換しやすいようにカード型にしたのかの違いだけです。

図 1 に大容量 NAND 型フラッシュ ROM のピン配置( TC58NVG1S, 東芝)を示します。信号ピン数が多いように見えますが、データ・バス幅を 8 ビットとすれば必要な信号は 15 本程度で、電源ピンも含めた信号ピン本数が 22 ピンの SmartMedia や、18 本の xD ピクチャーカードと変わりません。

外見が全く異なるのでとても同じ物には見えませんが...

## NAND 型フラッシュ ROM の信号ピン

表 1 に NAND 型フラッシュ ROM の信号ピンを示します。まず気が付くのは、いわゆるアドレス・バスと思われる信号線がない点です。その代わりに、 $\overline{CE}$  や  $\overline{RE}$ 、 $\overline{WE}$  以外の、コマンド・ラッチ・イネーブル(CLE)やアドレス・ラッチ・イネーブル(ALE)という、NOR 型フラッシュ ROM では見かけない信号が増えています。

NAND 型フラッシュ ROM は、8 ビット(または 16 ビット)の I/O 信号を使って、コマンドやアドレス、そしてデータをやりとりします。I/O 信号ピンに入力したデータがコマンドなのかアド

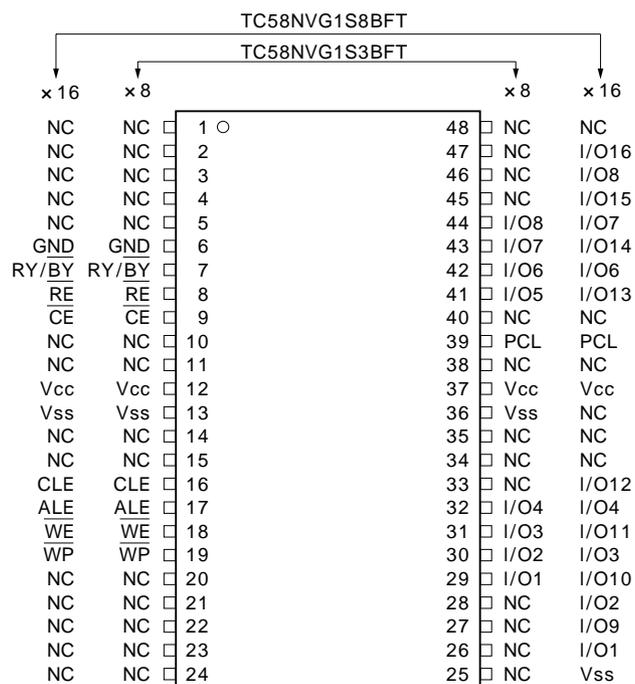


図 1 大容量 NAND 型フラッシュ ROM のピン配置( TC58NVG1S )

表1 NAND型フラッシュ・メモリの一般的なピン機能

名称	記号	説明
コマンド・ラッチ・イネーブル	CLE	動作コマンドをデバイス内部のコマンド・レジスタに取り込む際に使用する信号入力。WE信号の立ち上がり時に“H”レベルにすることにより、I/O端子上のデータがコマンドとしてコマンド・レジスタに取り込まれる
アドレス・ラッチ・イネーブル	ALE	アドレス情報もしくは入力データを、デバイス内部のアドレス・レジスタあるいはデータ・レジスタに取り込む際に使用する信号入力。WE信号の立ち上がり時に“H”レベルにすることで、I/O端子上のデータがアドレスとしてアドレス・レジスタに取り込まれる。また、“L”レベルにすることで、入力データとしてデータ・レジスタに取り込まれる
チップ・イネーブル	$\overline{CE}$	デバイスの選択信号入力として用いられ、基本的にはReady状態(RY/ $\overline{BY}$ 信号が“H”の状態)において“H”レベルにすると、デバイスはロー・パワーのスタンバイ・モードとなる。デバイスがプログラミング動作中、消去動作中(RY/ $\overline{BY}$ 信号が“L”の状態)においては、“H”、“L”のいずれの場合も許容され、 $\overline{CE}$ が“H”であってもスタンバイ・モードにはならない。一方、リード動作中(RY/ $\overline{BY}$ 信号が“L”の状態)の場合、大ブロック品では同じように“H”、“L”いずれの場合も許容されるが、小ブロック品では、一定時間以上“H”にすると、シーケンシャル・リード機能が終了する
ライト・イネーブル	WE	I/O端子上のコマンド、アドレス、およびデータをデバイス内部に取り込むための信号入力
リード・イネーブル	$\overline{RE}$	データをシリアル出力させる際に使用する信号入力。 $\overline{RE}$ の立ち下がりから、アクセス時間( $t_{REA}$ )の後、I/O端子上の出力データが確定する
入出力端子	I/O	コマンド、アドレスの入力、およびデータの入出力を行うためのポート。データ幅(I/Oポート数)はx8ビット品が主流だが、x16ビット品もある
ライト・プロテクト	WP	電源投入時、もしくは電源遮断時などの入力信号が不確定な場合に、予期できない消去や書き込みからデータを保護するために使用する。WPを“L”レベルにすることによって、内部高電圧発生回路の動作がリセットされ、デバイスにおける書き込みや消去動作が禁止される
レディ・ビジー	RY/ $\overline{BY}$	デバイス内部の動作状態を知らせるための出力信号。デバイスがプログラム動作中、消去動作中、またはリード動作中にはBusy信号(RY/ $\overline{BY}$ = “L”)を出力し、完了するとReady状態(RY/ $\overline{BY}$ = “H”)になる。本端子はオープン・ドレイン出力となっているので、 $V_{cc}$ に対して抵抗によるプルアップが必要

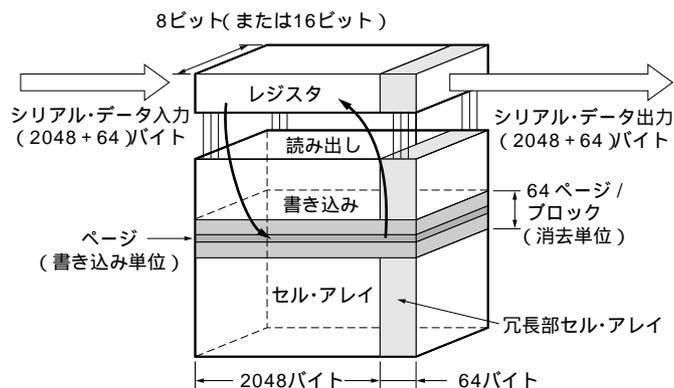


図2 大容量NAND型フラッシュROMの構成

レスなのかを指定するために、CLEやALEを使うわけです。

### NAND型フラッシュROMのアクセス

図2にNAND型フラッシュROMの内部構成を示します。容量が増えるとブロック数が増えますが、基本的な構造は変わりません。

図3にNAND型フラッシュROMのページ読み出しの動作を示します。ブロック・アドレスを指定するにも、I/O信号は8ビット(または16ビット)しかないので、図4のように何回かに分けてアドレスを指定します。CLE信号やALE信号も使いながら、コマンドやアドレスを指定し、データを読み出します。

図5にNAND型フラッシュROMのページ書き込みの動作を、図6にNAND型フラッシュROMのページ消去の動作を示します。同じように、書き込みや消去についても、コマンドを何回かに分けてブロック・アドレスを指定します。

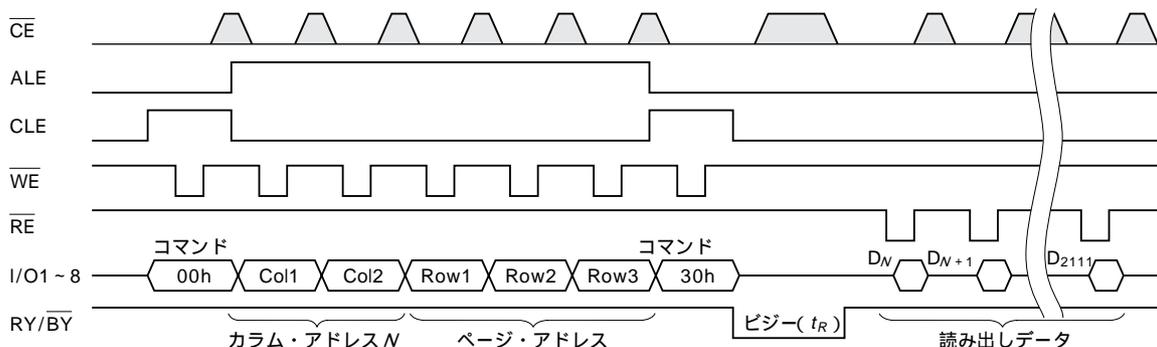


図3 大容量NAND型フラッシュROMのページ読み出しの動作