

第5章

マルチポート SDRAM コントローラの設計事例

第6章で共有メモリ・アーキテクチャ(UMA)によるグラフィックス表示システムについて解説する。その前に、UMAを理解するために必須のマルチポート SDRAM コントローラについて解説する。まず SDRAM の基礎知識について解説したあと、バースト転送対応の SDRAM コントローラを設計し、その上に2ポート用アービタ回路をかぶせた2段構成のマルチポート SDRAM コントローラを実現する。(編集部)

山武 一郎

数百 MHz のクロック周波数で動作する組み込みマイコンでは、比較的規模の大きな OS やアプリケーションでも対応できるように、大容量メモリとして SDRAM を接続できるようになっています。このような組み込みマイコンは SDRAM コントローラが内蔵されているので、データ・シートの指示どおりに信号線を配線し、SDRAM コントローラを初期化すれば、とりあえず SDRAM が読み書きで

できるようになります。

しかし、時々 SDRAM に書き込んだデータが化けるなど、SDRAM が安定動作しないという場合もあるでしょう。そのようなとき、SDRAM がどのような仕組みで動いているかを理解していないと、デバッグするにしてもどこから手を付けてよいか見当が付きません。

また、FPGA や ASIC などオリジナルのデバイスを実現する場合でも、コストや要求仕様などの問題から SDRAM コントローラを自前で設計する必要に迫られるケースもあります。

ここでは SDRAM の基本的な動作から SDRAM コントローラの設計事例までを詳しく解説します。

1 SDRAM の信号と基本動作

● SDRAM の信号ピンと内部ブロック

代表的な SDRAM として、CQ 出版社から発売されている「組み込みシステム開発評価キット」にも搭載されている MT48LC4M32(Micron Technology 社)を例に取り上げます。クロック周波数 166MHz、データ・バス幅 32 ビット、容量 16M バイトのごく一般的な SDRAM です。図1に MT48LC4M32 のピン配置を示します。

容量が 16M バイトあるというのに、アドレス・バスと思われる信号が A11 までしかありません。NOR 型フラッシュ ROM などと異なり、SDRAM はアドレスを2回に分けて与える(マルチプレクス)ため、容量の割りにアドレス・バスの本数が少なく済むのです。

図2に内部ブロック図を示します。図2を見ると分かる

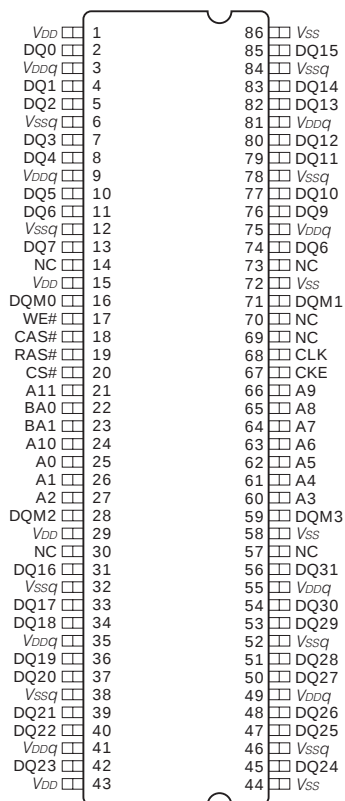


図1 代表的な SDRAM のピン配置 MT48LC4M32)

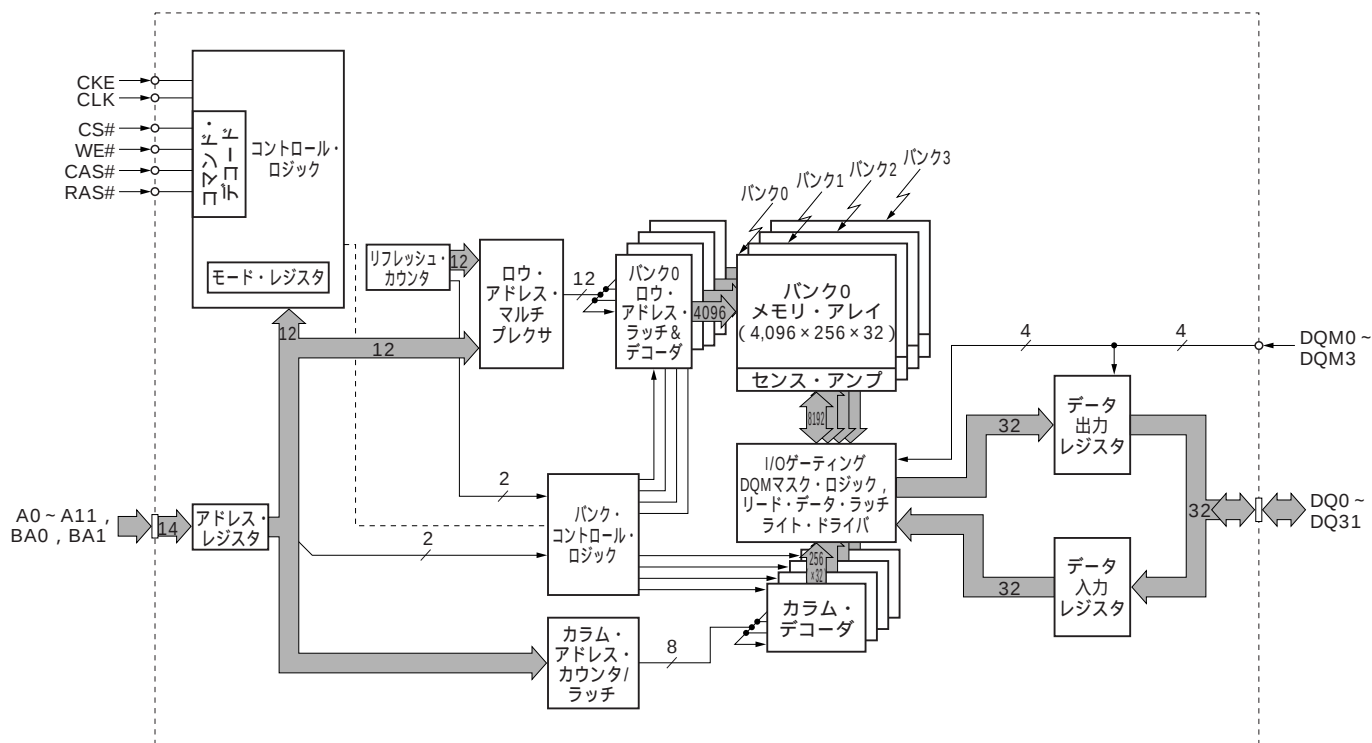


図2 代表的な SDRAM の内部ブロック図(MT48LC4M32)

表1 代表的な SDRAM の仕様(MT48LC4M32)

データ・バス幅	32 ビット
バンク数	4 (BA0 , BA1)
ロウ・アドレス	4K (A11 ~ A0)
カラム・アドレス	256 (A7 ~ A0)
最大動作周波数	166MHz(-6品)
CL 値	1(50MHz 以下)
	2(100MHz 以下)
	3(166MHz 以下)

ように、SDRAM の場合は外部から見ると一つのメモリとして見えますが、内部的には 1/4 の容量のメモリが四つ入ったイメージになります。このように複数のバンクに分割されているので、コマンドによるアクセス方式でバンクごとに独立したコントロールが可能です。この構造を利用して、バンクごとにインターリーブ動作をさせることで、見かけ上のデータ転送能力を向上させることができます。

表1に MT48LC4M32 の仕様を示します。SDRAM に対しては、アドレスを行(ロウ・アドレス)と列(カラム・アドレス)に分けて指定します。また四つあるバンクは BA0 と BA1 で選択します。データ・バス幅が 32 ビットなので、全容量は、

$$4(\text{バンク}) \times 4K(\text{行}) \times 256(\text{列}) \times 4(\text{バイト}) \\ = 16M(\text{バイト})$$

と計算されます。

● 各信号線の意味

次に SDRAM の各信号線について説明します。

(1) CLK(クロック), CLE(クロック・イネーブル)

CLK 信号は SDRAM を動作させるための基準クロックで、すべての制御信号線はこのクロックの立ち上がりエッジで内部に取り込まれ、デコードされて動作が決定します。

CKE 信号はクロック・イネーブル信号で、SDRAM 内部のロジックに対してクロックが有効であることを指示する信号線です。SDRAM は低消費電力動作をサポートしており、CKE 信号を“H”にアサートしている間は CLK 信号に有効なクロックを供給する必要があります。CKE 信号を“L”にディアサートすると、SDRAM はスリープ(待機モード)に入り、低消費電力モードに移行するので、クロック供給を停止することができます。スリープ・モードから復帰するには、CKE に“H”をアサートするより少なくとも 3 クロック前から CLK 信号を入力する必要があります。

(2) An(アドレス・バス), DQn(データ・バス)

An はアドレス・バスで、メモリの読み書き時には行と