

現時点で高速・大容量のRAMが必要ならこれ！

第7章

高速・大容量 DDR-SDRAM の基礎知識

数百 M バイト～数 G バイトの大容量 RAM が必要になる場合、現時点では DDR-SDRAM を採用するのが最適である。ここでは、DDR-SDRAM の制御方法の基本を、第 5 章で説明した SDRAM と比較しながら解説する。また、最後により高速化した DDR2-SDRAM や DDR3-SDRAM についても解説する。(編集部)

井倉 将実

ここでは、第 5 章で解説した SDRAM と DDR-SDRAM を明確に区別するために、SDRAM を SDR-SDRAM と呼ぶことにします。本章では、組み込み分野でも今後主流となるであろう大容量メモリの DDR-SDRAM について解説します。

1 DDR-SDRAM の基礎知識

● DDR-SDRAM の内部構造

代表的な DDR-SDRAM である MT46V8M16(Micron Technology 社)のピン配置を図 1 に、ブロック図を図 2

(p.130)に示します。第 5 章の SDR-SDRAM のブロック図と比較して、メモリ・セル周辺の構造はほとんど変わらないことがわかります。異なるのはデータ・バス周辺の構造です。

SDR-SDRAM は 1 相のシングル・クロックでデータ転送を行います。DDR-SDRAM では、位相が 180°ずれた 2 相差動(ディファレンシャル)クロックを用いて、両クロックの立ち上がりエッジでデータ転送を行います。これを一つのクロックとして考えると、

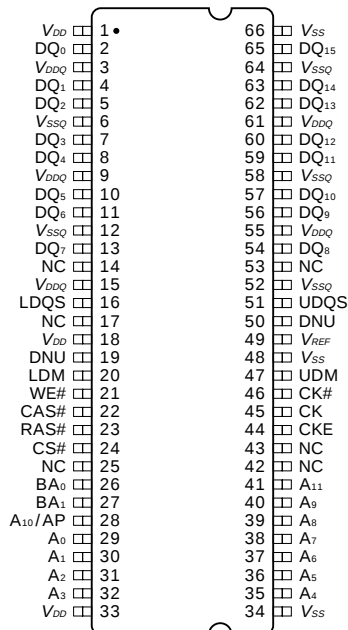
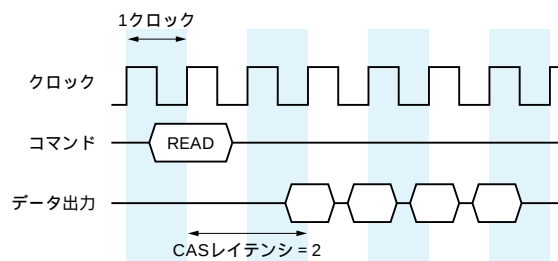
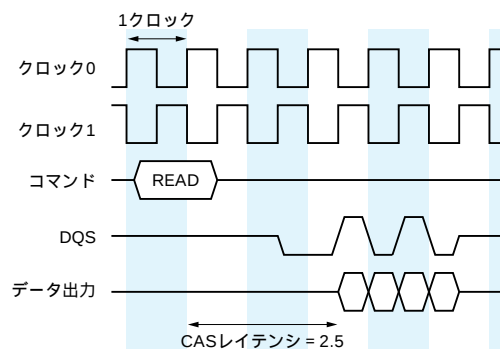


図1 MT46V8M16のピン配置



(a) SDR-SDRAM



(b) DDR-SDRAM

図3 SDR-SDRAM と DDR-SDRAM の違い

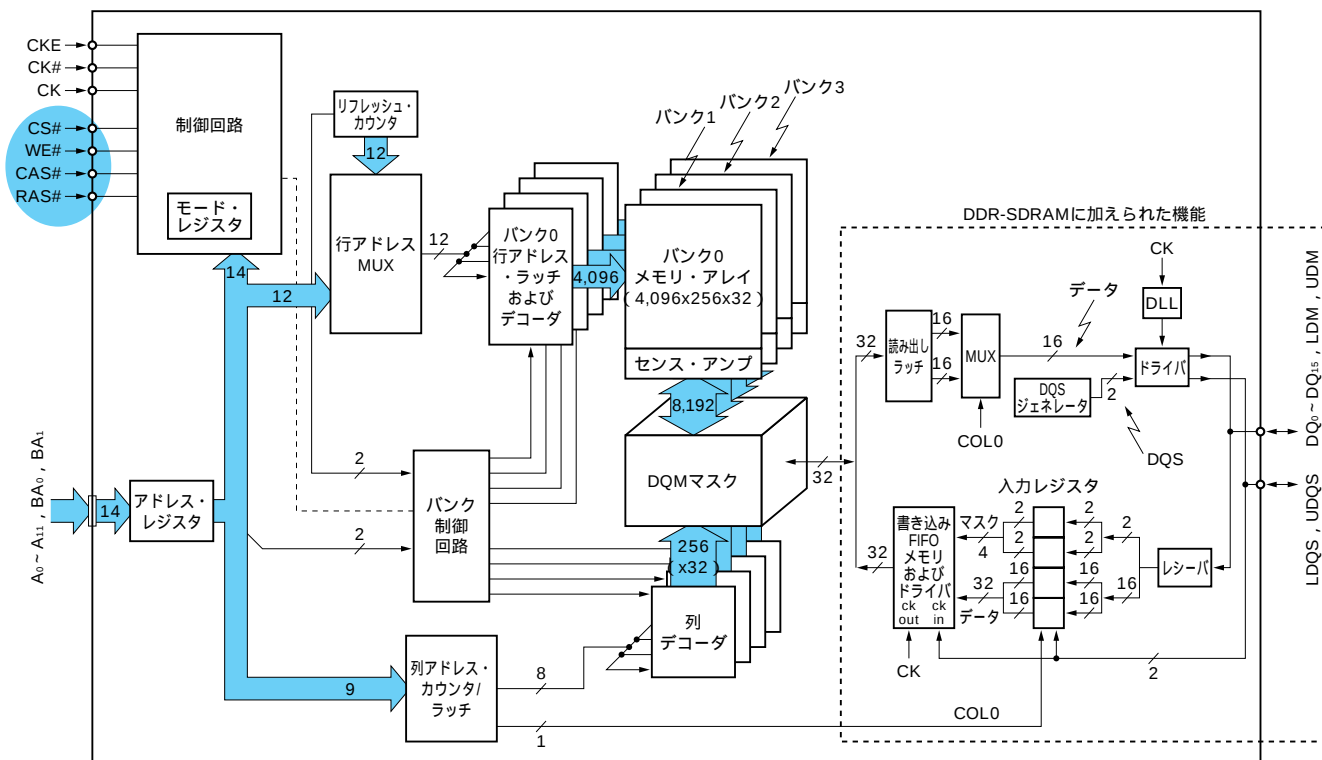


図2 MT46V8M16 の内部ブロック図

● DDR-SDRAM インターフェースは SSTL-2 を採用

もう一つ、SDR-SDRAM と DDR-SDRAM の大きな違いとして、信号インターフェースが異なることが挙げられます。DDR-SDRAM では、SDR-SDRAM の 3.3V の LVTTTL から 2.5V/1.25V の SSTL-2 に変更されました。これは、高速にデータ転送を行うために振幅を小さくして信号遷移時間を短縮するとともに、消費電力を下げるために低電圧化を狙ったという意図があります。

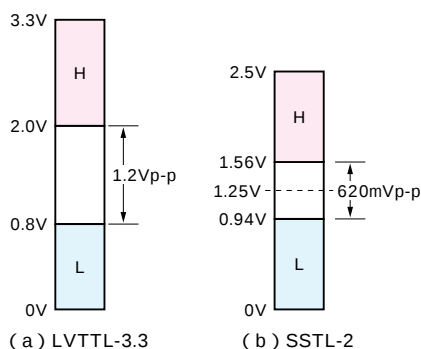
SSTL-2 インターフェースは、SDR-SDRAM で採用されている LVTTTL インターフェースと違って、“H”レベルと“L”レベルの電位差の中心電圧を基準点としてターミネー

ション(終端)されています。この中心電圧が基準点ということになっているため、SSTL-2 インターフェースの場合はリファレンス電圧である中心電位と外部からの電圧を I/O パッド内のコンパレータで比較して、“H”レベルであるか“L”レベルであるかを識別します。

これは高速に信号伝達を行う場合に大変有効な方法で、SSTL-2 の場合、中心電位に対して $\pm 300\text{mV}$ 程度の電位差さえあれば信号のレベルが確定します。しかし、SDR-SDRAM などで利用されている LVTTTL インターフェースは、“H”レベルは最小 2.0V 以上、“L”レベルは 0.8V 以下(一般的な LVTTTL-3.3 の場合)となっています(図4)。

これにより、電位の変化速度であるスルー・レートが LVTTTL と SSTL-2 で同一であっても、そのレベル確定までの時間は 1/3 程度で済むので、そのぶん高速に信号伝達が行えます。逆にいえば、SSTL-2 の場合はノイズ・マージンが小さい注ということになりますが、高速に駆動するため

図4 LVTTTL と SSTL-2 の振幅



注：ノイズ・マージンが小さいといっても、SSTL-2 では中心電位へのターミネーション抵抗は $25\Omega \sim 27\Omega$ と非常に低抵抗である。入力コンパレータのインピーダンスに比べてライン・インピーダンスが格段に低いので、外側からのノイズに対してふらつきにくくなっている(が、同時に消費電流も多い。可能な限り振幅は小さくしようという考えが、ここにある)。