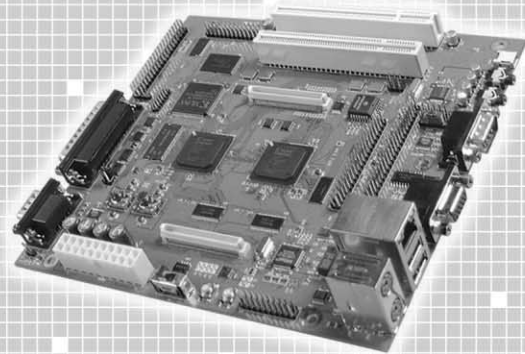


組み込みシステム 開発評価キット 活用通信



山武 一郎

第 6 回 システム・クロックに依存しない設計技法

1. 評価ボードと BLANCA システム・バスのクロック

● 評価ボードに実装されているクロック

図 1 に組み込みシステム開発評価キットの評価ボードに実装されているクロック系統を示します。本評価ボードでは次の 3 種類のオシレータを実装しています。周波数の低いほうから、

- アナログ RGB による VGA 画面を表示することを目的とした 25MHz
- PCI バス・クロックとしての使用を想定した 33.333MHz
- USB ホスト/ターゲットの通信周波数となる 48MHz

となります。さらにユーザ拡張用として、任意のオシレータを実装できるスペースも用意されています。

ほかにクロックとして使用できるものとしては、Ethernet インターフェースの物理層チップから出力される通信クロックがあります。ただし 10Base-T 通信時は 2.5MHz、100Base-TX 通信時は 25MHz という周波数になります。またサウンド入出力用に AC97 CODEC デバイスを実装しており、このデバイスを初期化すると 12.288MHz のクロックが出力されます。クロック源としてはこれらも使用できますが、通信速度によって周波数が異なったり、リセット直後の状態ではクロックが出力されないなど、LAN やサウンド以外の用途では使用しにくいクロックといえるでしょう。

さらにオプション CPU カード実装時は、ローカル・バスのバス・クロックも使用できるピン配置となっています。

● 生成できるクロック周波数

以上のことから、オプション CPU カードやユーザ拡張用クロックを使用しない、本評価ボード標準の状態では 3 種類のクロックの基本周波数は、25M/33.333M/48MHz の合計 3 種類の周波数と考えられます。

しかし、実際に使用できる周波数はこれだけではありません。本評価ボードで採用している FPGA (Spartan-3) は、DCM (Digital Clock Manager) と呼ばれるクロック倍機能を持っています。これを使うことで基本クロックを整数倍したり n/m 分周 (n 倍して $1/m$ に分周) することも可能です。

リスト 1 A/V プロセッサ用リソース定義ファイルの内容 (AVP_DEF.VHD)

```
-- ***** A/V プロセッサ リソース・マッピング定義ファイル *****  
-- ***** 8000_0000h ~ FFFF_FFFFh 2Gバイト空間 ビッグ・エンディアン用 *****  
-- *****  
  
library ieee;  
use ieee.std_logic_1164.all;  
  
package AVP_DEF is  
  
    -- ***** AVP シグネチャ定義 ***** --  
    constant AVP_ID0 : std_logic_vector(31 downto 0) :=  
        X"424C414E"; -- BLAN  
    constant AVP_ID1 : std_logic_vector(31 downto 0) :=  
        X"43412041"; -- CA A  
    constant AVP_ID2 : std_logic_vector(31 downto 0) :=  
        X"56502020"; -- VP  
  
    -- リトル・エンディアンるとき 1, ビッグ・エンディアンるとき 0  
    constant LITTLE_ENDIAN : integer := 0;  
    -- ↑ 接続する CPU に合わせて設定の必要あり  
  
    -- システム・クロック周波数 (Hz)  
    constant SYSCLOCK_HZ : integer := 48000000;  
    -- ↑ 接続する CPU に合わせて設定の必要あり  
    -- 以下略 ~
```

ただし、Spartan-3/1500 または 400 の場合、一つの FPGA に内蔵されている DCM は 4 個となっているため、欲しい周波数をいくつでも生成できるわけではありません。

● BLANCA システム・バスのクロックのいろいろ

原稿執筆時点 (2007 年 1 月末) で用意されているサンプル設計例をみると、ソフト CPU コアに MicroBlaze を実装した場合のクロックには 48MHz を採用しています。論理合成および配置配線後のレポートを見ると、もう少し高速な周波数 (66MHz 程度) でも動作しそうです。また、MicroBlaze は Xilinx 社製 FPGA 用に最適化された設計がされているため、後述するソフト CPU コアよりは高速に動作するようです。

もう一つの、M32R ソフト・コアを実装した設計例には 25MHz を採用しています。MicroBlaze と異なり、M32R ソフト・コアは特定ベンダの FPGA に最適化した設計をしていません。また、MMU を内蔵するなど CPU コアとしての回路規模も MicroBlaze より大きいので、25MHz 程度が上限となります。

そして、現在開発中のオプション CPU カードとして SH-4A (SH7780) を接続する場合には、SH-4A のローカル・バスのバ

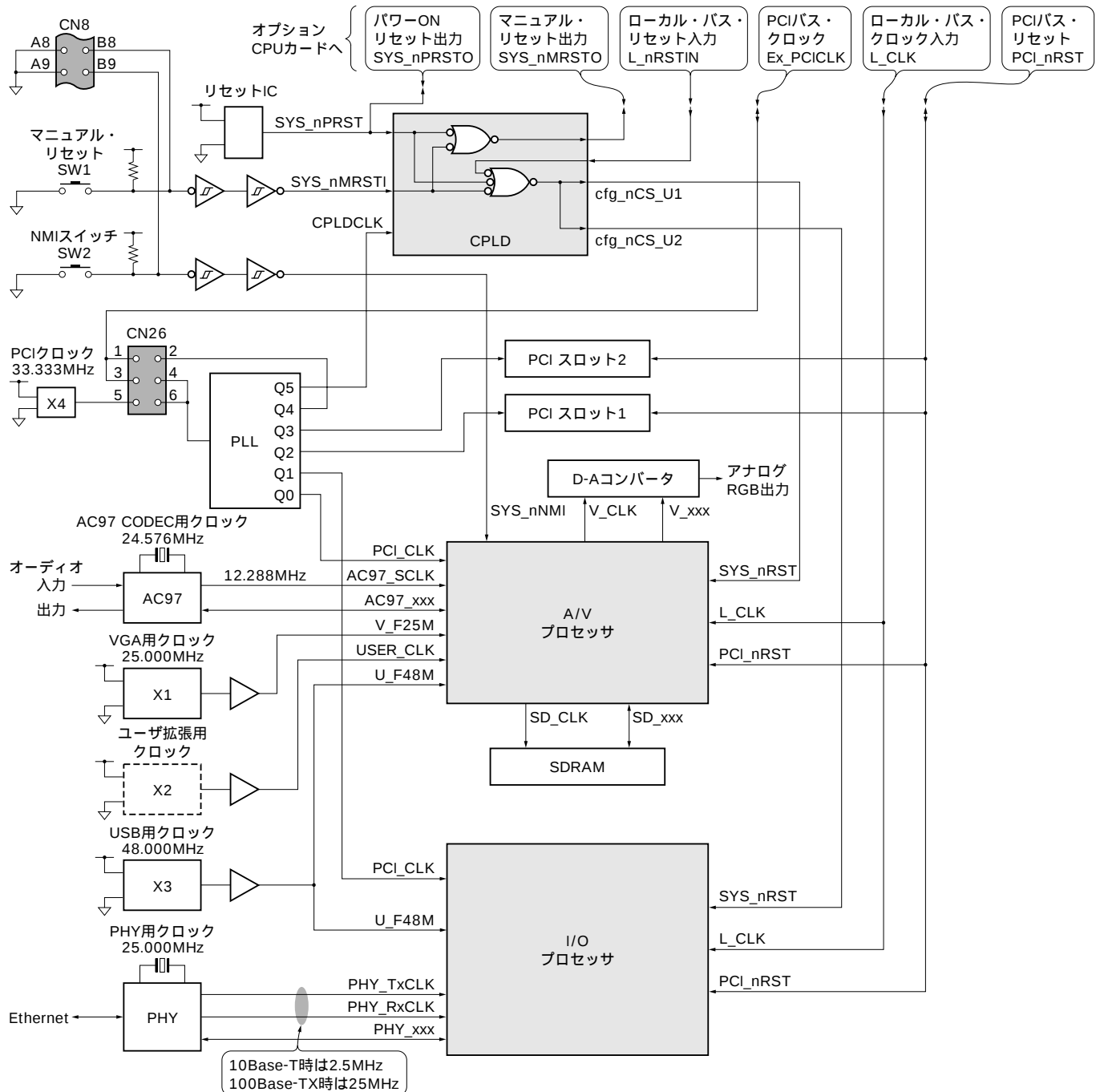


図1 本評価ボードに実装されているクロック系統図

ス・クロックを使用しています。SH7780には外付けクロックとして33.333MHzを接続しており、CPUコアは400MHzで動作します。ローカル・バスは最大で100MHz、さらにモードによっては66.666MHzと33.333MHz動作の3種類を設定可能です。SH-4A用のサンプル設計例としては、66.666MHzを採用する予定です。

● BLANCA システム・バスのクロック

BLANCA システム・バスでは動作クロック周波数を規定し

ていません。システム・バスのクロック周波数は、実装時に回路規模に合わせて決定することになります。現状では最低25MHz、最高66.666MHz程度という範囲を想定しています。

決定したシステム・クロックはリスト1に示すリソース定義ファイルに記述しておきます。このパラメータは、generic文を使って上位モジュールから下位モジュールに渡されます。論理合成時に参照され、必要なウェイト数が決定されます。