

# TCP Segmentation Offloading 機能対応ネットワーク・ドライバ の作成法

大牧 正知,  
柏木 良夫

ここでは PowerPC コアが内蔵された FPGA 評価ボードで Linux を起動する。スキャッタ/ギャザ対応の高機能 DMA コントローラを活用し、TCP Segmentation Offloading 機能対応の Ethernet ドライバを作成する。これによりパケット送信性能を大きく向上させることができる。  
(編集部)

ネットワーク対応機器を作る場合、OS には Linux を採用することが多くあります。ネットワーク対応機器にはネットワーク処理性能が求められます。Ethernet コントローラやメイン・メモリの間の転送能力だけでなく、Ethernet ドライバなどのソフトウェアを含めた総合環境の性能を向上させる必要があります。

今回は Ethernet ドライバの記述の方法から、最近取り入れられた性能向上手法までを、実装と検証を含めて解説したいと思います。

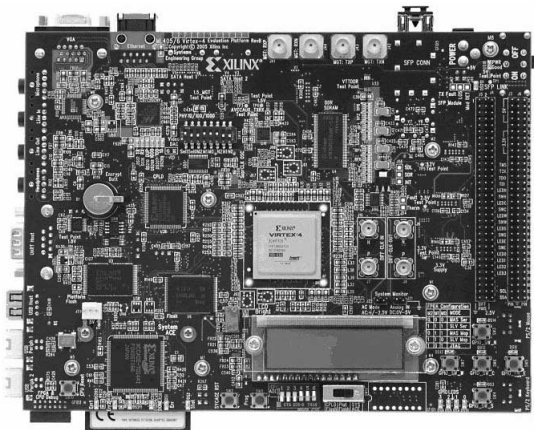


写真1 評価ボード ML405 の外観

使用するハードウェアは、PPC405 が内蔵された Xilinx 社製の FPGA Virtex-4 FX を、評価ボード ML405 に搭載して使用しました。カーネル・バージョンは 2.6.17 を使用します。写真1に ML405 の外観を、表1に仕様を示します。

## Virtex-4 FX

Xilinx 社が出している FPGA にはいくつかの種類があり、Virtex-4 FX はそのうちの一つです。このデバイスには、AMCC(旧 IBM 社)の PowerPC である PPC405 の CPU コアをハード・マクロとして内蔵しています。FPGA のロジック部分で作ったユーザ回路と組み合わせることで、自分の使用したい用途に合ったカスタム SoC( System on a Chip )を作ることができます。

その場合、EDK( Embedded Development Kit )という設計ツールを使います。このツールには、PPC405 にそのままつながる周辺 I/O の IP コアが含まれており、メモリ・コントローラや UART、タイマ、割り込みコントローラ、Ethernet MAC、CAN などが使用できます。ユーザはこれらの用意された IP コアを選んで EDK ツール上で接続し、基本的なプロセッサ・システムを構築します。

## Virtex-4 FX と Linux

Virtex-4 FX では、当初から VxWorks や Linux などが

表1 評価ボード ML405 の仕様

FPGA	XC4VFX20-FF672-10C 搭載( PPC405, 10/100/1000Base-T 対応 Ethernet MAC 内蔵, 622Mbps ~ 3.125Gbps 対応の RocketIO トランシーバ内蔵 )
メモリ	128M バイト DDR-SDRAM, 8M ビット ZBT-SRAM, 64M ビット・フラッシュ ROM, 4K ビット I <sup>2</sup> C EEPROM
ディスプレイ	16 文字 x 2 行キャラクタ LCD
コネクタ/インターフェース	SMA コネクタ( 差分クロックおよび MGT ) x 8, SFP Cage, シリアル ATA ホスト・コネクタ x 2, PS/2 コネクタ x 2, オーディオ( 入力/出力 ), RS-232-C ポート, USB ポート( ペリフェラル x 2/ホスト x 1 ), JTAG, D-Sub15 ピン VGA ディスプレイ, 10/100/1000Base-T Ethernet ポート, 64 ビット・ユーザ拡張コネクタ

OSとして用意されていました。また、筆者らの会社(アヴネットジャパンと日新システムズ)では、Virtex-4 FXのPPC405にLinux2.6を移植し、販売しています。

FPGA内蔵CPUという点、どのようにしてシステムを設計開発するのかイメージが湧きにくいでしょう。しかし、Linuxを移植することで、従来のLinuxシステムとほぼ同じように開発でき、FPGAを意識することがほとんどなくなります。また、ソースが公開されているLinuxのアプリケーションならば、再コンパイルするとそのままVirtex-4 FX上で動作するなど、過去の資産を流用できます。

## 1. Gビット・システム・リファレンス・デザインの概要

FPGAは自分で自由に中身をカスタマイズできるので、とても便利なのですが、その分使いこなすのは難しいものです。しかし、メーカーや販売代理店などからいろいろなりファレンス・デザインが提供されており、それらを利用すれば一からすべて設計する必要はなくなります。また、CPU内蔵FPGAと言えども、考え方は一般的なプロセッサを使った場合のシステム開発と同じです。

今回は、メモリ・コントローラや割り込みコントローラ、UART、Ethernet MACなど、ネットワークに必要な機能がすべて接続されているリファレンス・デザインを使用します。

### デザインの入手

今回使用するのは、Xilinx社のWebサイトからダウンロードできるリファレンス・デザインです。

[http://japan.xilinx.com/esp/wired/optical/xlnx\\_net/mpmc.htm](http://japan.xilinx.com/esp/wired/optical/xlnx_net/mpmc.htm)

ここでダウンロードできるのは、マルチポート・メモリ・コントローラ(Multi Port Memory Controller)を搭載した、Gビット・システム・リファレンス・デザイン(Giga bit System Reference Design、以後GSRDと呼ぶ)です。なお、このデザインを使用するには、FPGAのインプリメンテーション(実装)ツールであるISEのほか、EDKが必要

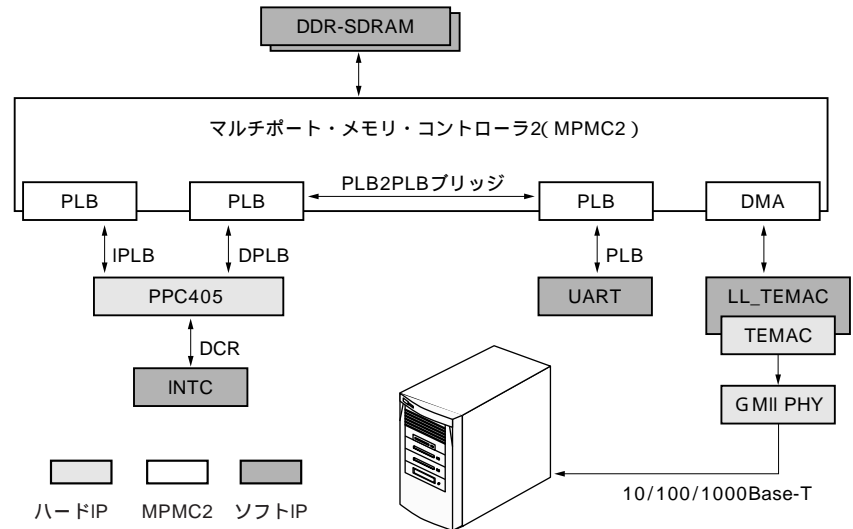


図1 Gビット・システム・リファレンス・デザインのブロック図

になります。

先ほどのURLからmpmc2\_release\_20070610.zipをダウンロードして解凍すると、mpmc2\_release\_20070610というフォルダが作成されます。その中にml403\_dds\_idpoc\_100mhz\_gsr.zipというファイルがあるので、これを解凍します。こうして生成されるファイル群が、今回使用するハードウェア・デザインのEDKプロジェクトになります。システムのブロック図を図1に示します。

このデザインはXilinx社製FPGA評価ボードML403で動作するように作られており、ML403が手元にある場合は、このデザインをそのまま使用できます。筆者らがML405用にピン配置やクロックの変更、メモリ・コントローラの最適化などを行ったものを使用します。この変更により、オリジナルのデザインに比べると、システム性能が約1.5倍ほど向上します。

### マルチポート・メモリ・コントローラ

今回のデザインで使用しているマルチポート・メモリ・コントローラ(以後MPMC)は、一つのメモリに対して複数のアクセス・ポートをもたせることができるIPコアです。最大八つのポートを持たせることができます。アービタがMPMCに内蔵されているので、それぞれポートへのアクセスは完全に独立して行うことができます。アクセス優先順位も自由に設定できます。

ポートの種類を指定でき、PowerPCのメイン・バスで