

実践的 PowerPC 活用テクニック



第5回

PowerQUICC ファミリー MPC8548E の概要

春木 大 / 安藤 穰

1. PowerQUICC ファミリーと MPC8548E

MPC8548E 概要

Freescale Semiconductor 社は、ネットワーク機器やハイエンドの画像処理機器といったアプリケーション分野をターゲットに、Power ISA 2.03 に準拠した e500 プロセッサ・コアとさまざまな規格で定められた高速インターフェースを1チップに集積した、PowerQUICC ファミリーを提供しています。

MPC8548E は、その PowerQUICC ファミリーの第2世代製品です。90nm のシリコン・オン・インシュレータ(SOI)銅配線プロセス技術をベースとし、クロック周波数 1.33GHz で動作します。ここでは、MPC8548E に内蔵されている e500 コアおよび周辺インターフェースの概要を説明します。

図1に MPC8548E のブロック図を示します。MPC8548E は、Gビット Ethernet、Serial RapidIO、PCI Express といった複数の高速インターフェースを備えています。これらのインターフェースにより、複雑なコントロール・プレーンとネットワーク・プロセッサや ASIC によって実現されるデータ・プレーン

を接続します。また、DDR2-SDRAM メモリ・コントローラ、4チャンネルDMA コントローラ、ストレージ・アプリケーションのパリティ演算に使用される XOR エンジン、3DES、AEC や第3世代移動体通信システムのセキュリティで使用される KASUMI をサポートするセキュリティ・エンジンなど、さまざまな周辺回路を統合しています。

MPC8548E の主な機能

以下に MPC8548E の主な機能ブロックとその概要を示します。

- (1)Power ISA 2.03 準拠 e500v2 プロセッサ・コア
 - 倍精度組み込みスカラおよび単精度ベクタ浮動小数点演算器搭載
- (2)L1/L2 キャッシュ
 - L1 命令およびデータ・キャッシュ各 32K バイト
 - L2 キャッシュ 512K バイト(8ウェイ・セット・アソシアティブ)、キャッシュ領域は SRAM としても使用可能(サイズ制限あり)
 - ハードウェア・コヒーレントをサポート
 - L2 キャッシュへの I/O スタッシュをサポート
- (3)DDR/DDR2-SDRAM メモリ・コントローラ

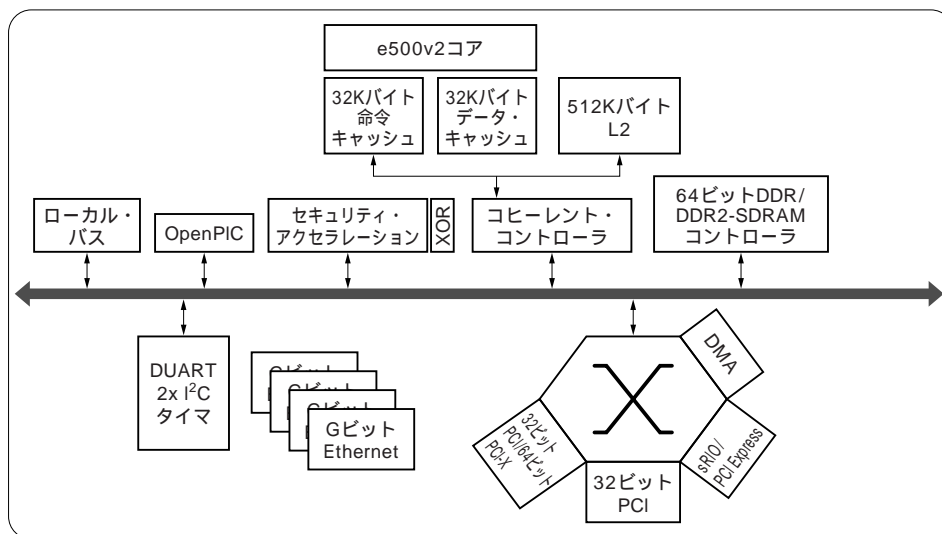


図1 MPC8548E ブロック図

- 200MHz クロック・レート(400MHz データ・レート), 64 ビット , 2.5V/2.6V I/O , DDR-SDRAM サポート
 - 333MHz クロック・レート(667MHz データ・レート) DDR2-SDRAM サポート
 - ECC サポート
- (4) メモリ・マネージメント・ユニット(MMU)
- (5) セキュリティ・エンジン
- DES, 3DES, MD-5, SHA-1/2, AES, RSA, RNG, KASUMI F8/F9 および ARC-4 アルゴリズムをサポート
- (6) 複数の PCI インターフェース
- 64 ビット PCI Rev.2.2 バス・コントローラ(最大 66MHz, 3.3V I/O), もしくは二つの 32 ビット PCI コントローラとして使用可能
 - 64 ビット PCI-X バス・コントローラ (最大 133MHz, 3.3V I/O)
- (7) 4 チャンネルの 10/100/1000M ビット拡張 Ethernet コントローラ(eTSEC)
- MII, RMII, GMII, RGMII, RTBI および TBI 物理インターフェースで接続される IEEE 802.3 ネットワーク
- (8) シリアル RapidIO および PCI Express 高速インターコネクト
- x8 PCI Express を一つ, または x4 PCI Express を一つと 4 x シリアル RapidIO を一つ
- (9) オンチップ・ネットワーク・スイッチ・ファブリック (OCeaN)
- (10) 4 チャンネル DMA コントローラ
- (11) DUART
- (12) プログラマブル割り込みコントローラ(PIC)
- (13) 汎用 I/O(GPIO)インターフェース
- (14) IEEE 1149.1 JTAG テスト・ポート

2. e500v2 プロセッサ・コア

MPC8548E では、Power ISA 2.03 に準拠した e500 コアの第 2 世代となる e500v2 プロセッサ・コア(以降 e500 コア)を搭載しています。ここでは e500 コアについて解説します。

e500 コア概要

e500 コアは、Power ISA 2.03 に準拠した低消費電力インプリメンテーションの組み込み RISC プロセッサ・コアです。図 2 に e500 コアのブロック図を示します。ただしこの図は各機能ユニットが独立かつ平行して動作する様子を示す概念図であり、各ユニットの物理的な実装を説明するものではありません。

e500 コアは、各クロック・サイクルにおいて最大 2 命令を同時発行し完了できるスーパースケラ・プロセッサです。命令の完了はイン・オーダで行われますが、実行はアウト・オブ・オーダで行われます。各命令の実行結果はリネーム・バッファを介して後続の命令で利用することができますが、プリサイス例外を実現するために、実行結果のレジスタへの格納は命令順

に行われます。e500 コアにおいて実行される全ての演算命令は、汎用レジスタ(GPR)に保持されたデータに対して行われます。e500 における GPR は 64 ビット長ですが、信号処理エンジン(SPE)命令および倍精度浮動小数点演算命令のみ 64 ビット全体を使用します。ほかの命令は下位 32 ビットのみを使用します(この場合、上位 32 ビット部の内容は演算結果の影響を受けない)。

e500 コアは二つのシンプル命令ユニット(SU1, 2)、複数サイクル命令ユニット(MU)、分岐ユニット(BU)およびロード/ストア・ユニット(LSU)を実装しています。ほとんどの整数演算命令は 1 サイクルで実行を終了し、また、独立したベクタ浮動小数点加算命令は 1 命令/サイクルのスループットで発行、完了を行います。このように短い時間で実行を終了するシンプルな命令群および五つの命令の並列実行を可能とする構成により、高い効率とスループットを実現します。

e500 コアのメモリ・ユニットには、命令、データ用にそれぞれ 32K バイトの 8 ウェイ・セット・アソシアティブ・キャッシュが含まれます。キャッシュ・ラインごとの命令やデータのロックをサポートしているため、割り込みサービス・ルーチンのような、組み込みアプリケーションにおいて実行時間の制約が厳しい命令群をあらかじめキャッシュにロックしておくことも可能です。

また、メモリ・ユニットには 2 レベル構造のメモリ管理ユニット(MMU)も含まれます。1 次 MMU は命令用とデータ用に、それぞれ可変長ページ・サイズの仮想アドレス変換をサポートした 4 エントリのアドレス変換バッファ(TLB)と、4K バイト固定長ページをサポートした 64 エントリの TLB を一つずつ実装しています。これらの TLB エントリはハードウェアにより制御され、ソフトウェアからアクセスすることはできません。2 次 MMU には、16 エントリの命令・データ共通フルセット・アソシアティブの可変長ページ TLB と、512 エントリの 4K バイト固定長ページ TLB を実装しています。これらの TLB エントリはソフトウェアによって制御されます。

e500 コアは、コア・コンプレックス・バス(CCB)と呼ばれる、データ・タグをサポートした高速オン・チップ内部バスによって外部ロジックと接続されます。CCB は二つの汎用リード用データ・バス、一つのライト・データ・バス、データ・タグ・ビット、アドレス・バス、そしてアドレス属性ビットから構成されます。プロセッサ・コアはアウト・オブ・オーダ読み込み、イン・オーダ書き込み、アドレス・リトライ応答を含む 1 レベルのアドレス・パイプラインをサポートし、メモリおよびメモリ・マップ I/O へのシングル・ビートとバースト・データ転送をサポートしています。

e500 コアの実行パイプライン

e500 コアの実行パイプラインは 7 段のステージ(フェッチ・ステージ 1, フェッチ・ステージ 2, デコード・ステージ, 実行ステージ, 完了ステージ, ライトバック・ステージ)で構成さ