

# SH-2Aのマルチコア化とソフトウェアの対応

吉永 健

処理の高速化，低消費電力化の要請から，組み込み向けCPUにもマルチコア化の波が押し寄せている。本稿では，ルネサス テクノロジーのSH-2Aマイコンをデュアルコア化したSH2A-DUALについて，CPUの起動方法からOS，アプリケーションの対応まで解説する。  
(編集部)

近年，高クロック化以外の性能向上への取り組みが重要になっています。その手段の一つが「マルチコア化」です。

本稿では，筆者の所属会社(ルネサス テクノロジー)が開発したマルチコア・マイクロコントローラ製品である「SH7205」および「SH7265」に用いられるマルチコア技術を，サンプル・プログラムを示しながら紹介します。また，マルチコアの性能を最大限に引き出すための，OSなどのソフトウェア技術についても解説します。なお，「SH7205」は民生機器や産業機器向け，「SH7265」はカー・オーディオ機器やカー・ナビゲーション機器の普及モデル，マルチメディア機器向けの製品であり，2007年7月よりサンプル出荷を開始しています。

## 1. マルチコアのアーキテクチャ

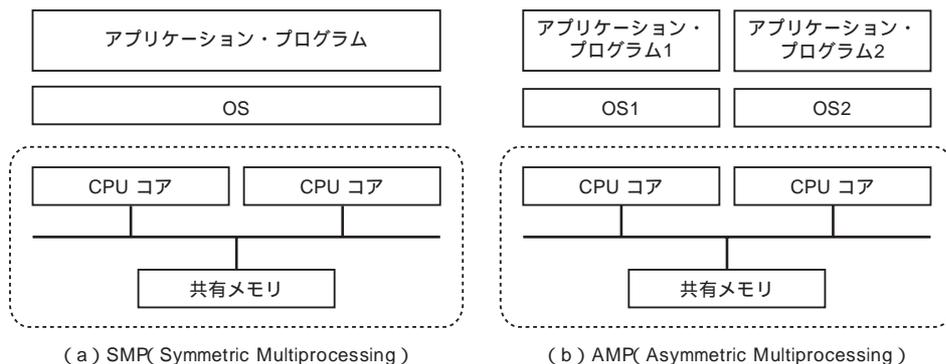
SH2A-DUALはAMP構成を採用している

マルチコア・マイコンのアーキテクチャは，搭載するCPUの種類とマイコンを動作させるための基本ソフトウェアであるOSの使い方から，以下の2種類に区分されます(図1)。

a)SMP(Symmetric Multiprocessing) 同じ種類のCPUを搭載し，一つのOSで全CPUを動作させ，各アプリケーションを実行させるCPUを動的に決定する。また，メモリやI/OはOSが割り当てる。トータルのシステム・スループットの向上を意図するタイプである。

b)AMP(Asymmetric Multiprocessing) 同じ種類のCPUまたは異なる種類のCPUを搭載し，それぞれ異なるOSで動作させるタイプ。各アプリケーションはあらかじめ決められたCPU上で実行する。また，メモリやI/Oを複数のCPUで共有する場合，必要に応じて排他制御が必要になる。システムを構成する各機能を各CPUに分散させて実行したいなどの機能分散型の応用に適する。

SH2A-DUALは，リアルタイム性の保証などを重視した，組み込み機器での使用に適したAMPです。図2に示す通り，その基本アーキテクチャは各CPUコアにキャッシュや内蔵RAMおよびFPUを搭載し，二つのCPUコア，DMAコントローラ，周辺モジュールおよびSDRAMなどの外付けRAMをマルチレイヤ・バスで結合した構成となっています。マルチレイヤ・バスは，CPUコアを2個搭載したときには，各CPU用に2層，DMAコントローラ用に2層の全4層構成となっています。これにより，バスをほかのCPUに使用されることによる無駄な時間がなくなるため，各CPUはシステム上の競合によるストール時間



- 同じ種類のCPUコアを複数個搭載
- 一つのOSで，各CPUコアに動的にタスクを割り当て，分散して処理

- 同種もしくは異種のCPUコアを複数個搭載
- 各CPUごとに，同じ種類のOSまたは異なるOS上でタスクを動作させる
- SH2A-DUALはこのAMP構成

図1 マルチコア・マイコンのシステム構成例

を抑え、実質的な命令実行回数を確保できるように工夫がなされています。また、各 CPU コアの内蔵 RAM(いわゆるローカル・メモリ)は、例えば CPU0 から RAM0 へ高速にアクセスできるのはもちろんのこと、CPU0 から RAM1 へのアクセスも行えるようになっています。ただし、後者の場合はアクセス速度が低下します。そこで、高速なアクセスが必要なデータは CPU コアに近い RAM に置くようなソフトウェア構成にします。

#### 機能分散

SH2A-DUAL では、アプリケーションの機能を静的に各 CPU に分散させる必要があります。そして、いかに各 CPU に並列処理させるかが、SH2A-DUAL の性能を引き出す上での最大のポイントとなります。

SH2A-DUAL には、ハードウェア・レベルでのサポートとして、各 CPU に分散されたアプリケーション間の通信を行うための CPU 間割り込み機能と、各 CPU 間の排他制御を行うためのセマフォ・レジスタが用意されています。

後述するリアルタイム OS( HI7200/MP )を使用すれば、RPC( Remote Procedure Call )やリモート・サービス・コールによって機能分散を容易に実現できるようになります。CPU 間割り込みとセマフォ・レジスタは、HI7200/MP 内部でも使用されています。

## 2. SH2A-DUAL の起動処理

では実際の SH2A-DUAL 搭載マイコンである「SH7265」を起動するために必要な設定項目を、ブート・コードのサンプル・プログラムを例に説明します。図3はサンプル・プログラム処理フロー、リスト1およびリスト2が実際のサンプル・プログラムです。なお、本サンプル・プログラムはすべて参考資料であり、その動作を保証するものではありません。本サンプル・プログラムはソフトウェア開発時の技術参考資料として利用してください。

#### CPU0 と CPU1 の設定値

初期設定には、CPU0 と CPU1 でそれぞれ独立して設定が必要な項目と、共通で使用する項目があります。共通で使用する項目は CPU0 で設定を行います。

CPU0 はクロック・パルス発振器( CPG )やバス・ステート・コントローラ( BSC ), 割り込みコントローラ( INTC ), およびキャッシュの設定を行います。このうち、クロッ

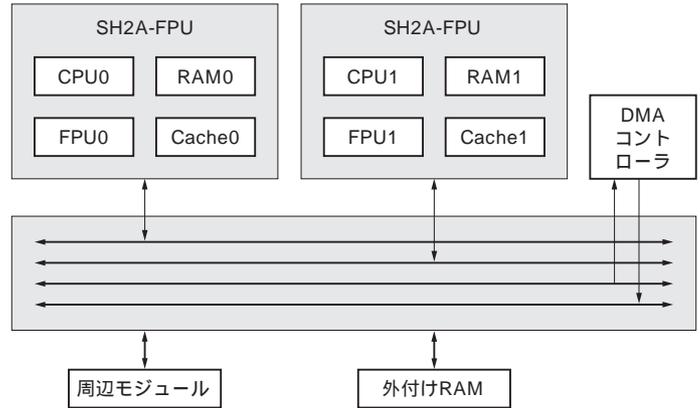


図2 SH2A-DUAL ブロック図

ク・パルス発振器とバス・ステート・コントローラは共通で使用する設定項目です。

CPU1 はクロック・パルス発振器や割り込みコントローラ、およびキャッシュの設定を行います。また、スリープ状態からの復帰は、CPU0 からのプロセッサ間割り込みにより行います。

#### サンプル・プログラムの解説

初期設定には、CPU0 と CPU1 のそれぞれで設定が必要な項目と、共通で使用する設定項目があります。サンプル・プログラムでは、共通で使用する設定項目はシングル・プロセッサ・モード0で設定を行います。共通で使用する項目設定完了後、デュアルプロセッサ・モードに遷移します。以下に処理手順を説明します。

パワー ON リセット状態が解除されると、それぞれの CPU がパワー ON リセット例外処理を実行します。このとき、それぞれの CPU で実行されるパワー ON 例外処理プログラムは同一となります。それぞれの CPU が CPU0 であるか CPU1 であるかの判定は、CPUIDR レジスタの ID ビットを読み出すことで行います。その後、それぞれの CPU の初期化処理ルーチンへ分岐します。

CPU1 の初期化処理ルーチンはスタック・ポインタ( SP )とベクタ・ベース・レジスタ( VBR )を設定し、プロセッサ間割り込み( C1IPER )を許可します。その後、スリープ( sleep )命令を実行し、動作モードをシングル・プロセッサ・モード0に遷移させます。

CPU0 の初期設定は CPU1 モード・レジスタ( C1MSR )の SLEEP ビットを読み出し、CPU1 がスリープ状態( シングル・プロセッサ・モード0 )であることを確認してから