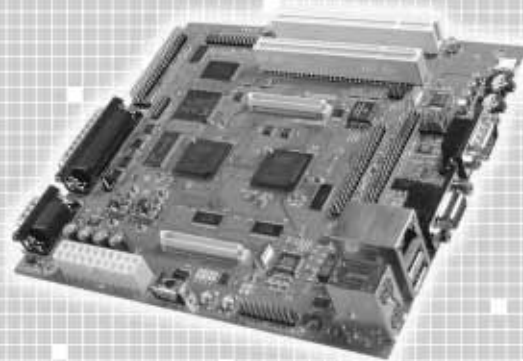


# 組み込みシステム 開発評価キット 活用通信



熊谷 あき

## 第18回 ユニバーサル・カードを使って SH-2 & V850 を接続する

### 1. ユニバーサル・カードの活用

#### ● 事の始まり??

本誌 2006 年 6 月号には、付属基板企画の第 1 弾として SH7144 (以下 SH-2) 基板が、そして 2007 年 5 月号には第 2 弾として V850ES/JG2 (以下 V850) 基板が付属しました。マイコンの外部バスに何でも接続してやろう…という、外部バス大好き人間(笑)である筆者としては、その後に続く第 3 弾の FR マイコンや第 4 弾の ColdFire マイコンは、外部バスが CPU の外に出ていない 1 チップ・マイコンであったため、残念でなりませんでした。

そんな筆者が、組み込みシステム開発評価キット(愛称 BLANCA)を見逃すはずはありません。本職の合間を見ては、BLANCA に怪しいコントローラやマイコンを接続して実験を繰り返しています。あるとき編集部から、「今度 BLANCA 用にユニバーサル・カードを出すので、これを使って何か面白い製作記事をお願いできませんか」との打診が来ました。ユニバーサル・カード? そうです、欲しかったのはまさにコレですよ! ということで、さっそく飛びつきました。

#### ● BLANCA の外部にデバイスを接続する場合

BLANCA の拡張バスに何らかのデバイスを独自に接続する

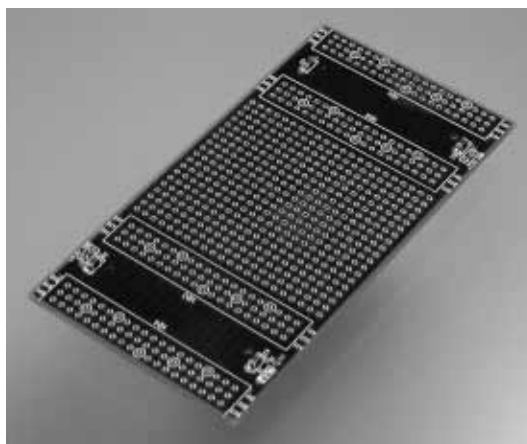


写真 1 組み込みシステム開発評価キット用ユニバーサル・カード

のは、実は結構大変です。本連載の第 14 回(2008 年 3 月号掲載)『評価ボードに独自インターフェースを追加する』や第 15 回(2008 年 5 月号掲載)『BLANCA にカメラ・モジュールをつないでみる』では、どちらも I/O プロセッサにつながる Compact Flash ソケット接続用コネクタを使っています。

試作や実験など、ユニバーサル基板を使って手配線で製作する場合、2.54mm ピッチのコネクタのほうが作業をしやすいと思います。筆者は 0.5mm ピッチの QFP のはんだ付けもできますが、あくまでそれを実装するための基板があってのことで、ユニバーサル基板にファイン・ピッチのコネクタなどは付けられません。

強いて言えば、BLANCA の PCI バスは FPGA につながっているだけなので、PCI スロットにも FPGA 搭載の PCI 評価ボードを差し込めば、電源やグラウンド以外の I/O 信号は、PCI バスの仕様にこだわらず自由に使うことができます。しかし、A/V プロセッサと I/O プロセッサを接続するローカル・バスの信号を外部に引っ張り出すには、120 ピン/0.65mm ピッチのコネクタを使うしかありません。

発売されたユニバーサル・カード(写真 1)を使えばこの問題が一気に解決し、ローカル・バスの信号を外から気軽に使うことができるようになります。さっそくこのカードを使って、BLANCA に本誌付属の SH-2 や V850 マイコン基板を載せてみることを思いつきました。

### 2. 32 ビット・ローカル・バスの BLANCA と外部 16 ビット・バス CPU の接続

#### ● BLANCA は 32 ビット・バス・ベース

BLANCA のローカル・バスは、A/V プロセッサおよび I/O プロセッサと呼ばれる二つの FPGA をつないでいるだけです。どの信号をどのように使うか、自由に設計できます。とはいえ、キットに添付された回路図を見ると、アドレス・バスやデータ・バス、各種制御信号としての名前が割り当てられていて、サンプル FPGA の設計データもこの信号の割り当てにのっとった使い方がされています。

さらに、その FPGA の設計データの中身を見ても、FPGA の

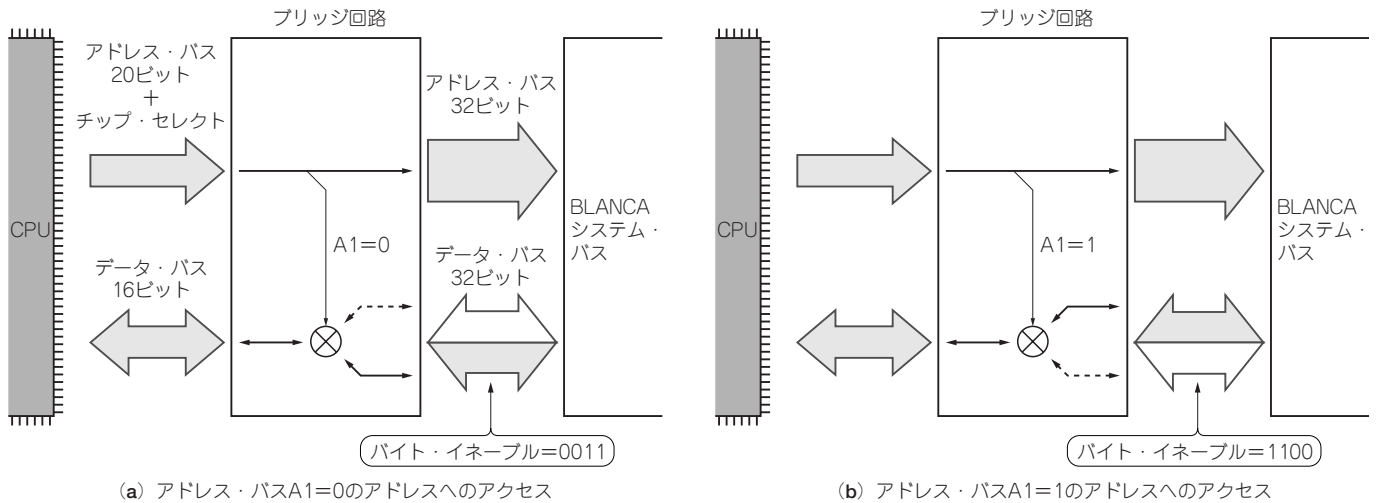


図1 16ビット・バス・マスター→32ビットBLANCAシステム・バスのブリッジの動作 (リトル・エンディアン時)  
ビッグ・エンディアン時はデータ・バスの切り替え先上位/下位が逆になる。

内部バスとして規定されている BLANCA システム・バスも、各コントローラの制御レジスタも、すべてバス幅 32 ビットを基本として設計されています。

しかし、載せようとする SH-2 や V850 の外部バスは 16 ビット幅です。FPGA の中身を、すべて 16 ビット・ベースで設計し直すのは困難です。そこで、バス幅 16 ビットのマスター・バスを、バス幅 32 ビットのスレーブ・バスに変換するブリッジ回路を介し、FPGA 内部の BLANCA システム・バスに接続します。

実は、この方法については、すでに先月号の本連載『オプション CPU カード Blackfin (ADSP-BF533) の設計』でも採用されています。Blackfin のローカル・バスのバス幅も 16 ビットなのです。しかし、この記事では、Blackfin を搭載した CPU カード側の設計にフォーカスを当てたため、バス・ブリッジ回路については詳しい説明がありません。

そこでここでは、このブリッジについて少し詳しく解説してみようと思います。

## ● 16ビット・バスマスター→32ビットBLANCAシステム・バス・ブリッジ

バス幅 16 ビットの CPU から 32 ビットの BLANCA システム・バスへのブリッジの動作は、図1のようになります。アドレス・バス A1 の状態により、32 ビット・データ・バスの上位 16 ビットを使うか、下位 16 ビットを使うかを切り替えるだけです。

リスト1に、そのローカル・バス・ブリッジ回路の HDL ソースを示します。基本的には 11 月号の Blackfin 用のローカル・バス・コントローラと同じです。ただしこちらは、動作を理解しやすいことを念頭におき、少し冗長な記述をしています。

また、SH-2 と V850 ではエンディアンが異なるので、エンディアンによりデータ・バスの切り替え論理を反転しています。SH-2 のようなビッグ・エンディアンの場合、アドレス・バス

A1 が '0' のアドレスにアクセスすると、32 ビット幅のデータ・バス上ではビット 31 ~ 16 を使ってデータ転送を行います (リトル・エンディアンの好きな筆者は少し違和感を感じるが、ビッグ・エンディアンの動作とはそういうもの)。

## ● リード/ライト制御信号の処理

SH-2/V850 とともに、読み出し時はリード信号が 1 本だけアサートされます。外部バスは 16 ビットなので、CPU コアがバイト・サイズでアクセスしても外部は 16 ビット幅での読み出しになります。幸いなことに両 CPU ともに、アドレス・バスは A0 まで出力されていて、奇数アドレスへのバイト・アクセス時には A0 が "H" になるので、それを使ってバイト・サイズの読み出しであることは判定できます。しかし、偶数アドレスへのバイト・アクセスは判定できません。

書き込みについては、どちらの CPU も上位バイト・ライト・イネーブル信号と下位バイト・ライト・イネーブル信号が用意されているので、ワード・アクセスの場合は両方が、バイト・アクセスの場合はどちらか片方がアサートされます。

## ● アドレス・バスの生成

SH-2 および V850 から出力されるアドレス・バスはどちらも 20 数本です。BLANCA システム・バスのアドレス・バスは 32 ビットあります。そこで SH-2 および V850 の外部アドレスを、次のように変換して接続します。

SH-2 は A21 までアドレス・バスを持ちますが、外部からウェイトを挿入する場合に必要な  $\overline{\text{WAIT}}$  信号が A20 にマルチプレクスされているので、実質的に使用できるのは A19 までとなります。BLANCA システム・バスのアクセス・タイミングは固定ではなく、アクセス先によってレディ信号が返ってくるまで時間がかかる場合があるため、ウェイト制御は必須です。

さらに、4 本あるチップ・セレクト信号をエンコードして、上位アドレス・ビットを生成します。SH-2 のチップ・セレクト