

最近のFPGAの内部はクロック周波数が100MHzでも余裕で動作するが、FPGA外部I/O信号は100MHzを越えるあたりから動作が厳しくなってくる。PCI Expressアドイン・カードの設計では、PHYチップとFPGAの間で125MHzや250MHzといった信号を扱う必要が出てくる。そこで今回は100MHzを越える信号をFPGAの外部に接続する方法について解説する。PCI Expressだけでなく、ほかの汎用高速ロジック回路設計においても有効な話題である。（編集部）

最近のFPGAは、当たり前のように100MHz以上の速度で動作するようになってきました。しかしプリント基板上の配線で100MHzを超える信号を扱うことは、それほど簡単ではありません。

FPGAが出力する信号は、何も工夫しないと図1(a)のように、バラバラのタイミングで出力されます。このような波形では100MHzを超えたあたりからその動作がだんだん怪しくなってきます。できれば出力は図1(b)のように、すべての信号が同じタイミングで遷移するのが理想です。このような波形ならばI/Oの周波数はどこまでも上げることができるでしょう。

連載の第3回目は、FPGAの入出力パッドのタイミングを自由自在に操り、200MHzを超えるI/Oでも安定して動作する回路の作り方について考えます。

1. FPGAの実力

● PERIOD 制約とクロック周波数

Xilinx社のFPGAを使って回路設計をする場合、UCFファイルにPERIODという制約を書くと、最小のクロック

ク周期（すなわち最大のクロック周波数）を指定することができます。配置配線ツールはこの指定を守るように最大限の努力をします。

```
NET "clk" TNM_NET = "clk";
TIMESPEC "TS_clk" = PERIOD "clk" 5 ns
HIGH 50 %;
```

● FPGA 最大動作周波数は何で決まるか

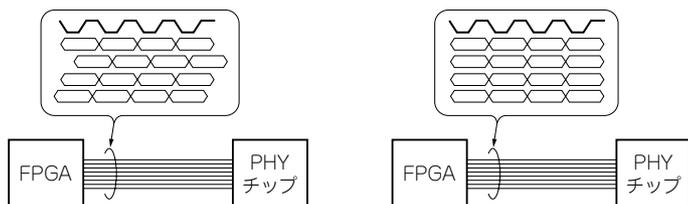
Xilinx社の無償開発ツールISE WebPACK 9.1iを用いて、リスト1のような32ビット・カウンタを作ってみました。デバイスはSpartan-3E/1200を指定しました。論理合成後、レポート中のタイミング・サマリを見ると192MHzという結果が表示されていました。これは論理合成時点での予測値なので、実際のデバイスに配置配線した後、結果とは若干異なります。UCFファイルで制約をかけて配置配線すると、4.823ns(207MHz)まで上がりました。

では、なぜ192MHzや207MHzという結果が出たのでしょうか。FPGAの動作タイミングは図2のように考えることができます。最大動作周波数は、FPGA内のフリップフロップのセットアップ・タイムと、組み合わせ回路の遅延時間、配線の遅延、フリップフロップの出力遅延時間の和の逆数となります。

リスト1 32ビット・カウンタのHDLソース

```
Port ( clk      : in  STD_LOGIC;
      ~中略~
      signal count      : std_logic_vector(31 downto 0);
      ~中略~
process(clk) begin
    if(clk' event and clk = '1') then
        count <= count + 1;
    end if;
end process;

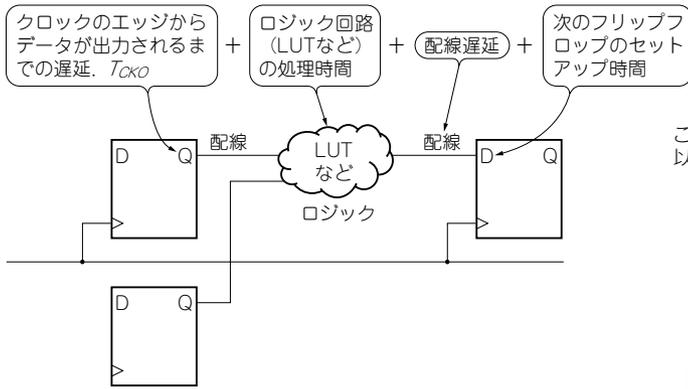
count_op <= count;
```



(a) 普通に設計した場合、出力される信号のタイミングがばらついてしまい高速動作ができないため、100MHz程度が上限になる

(b) FPGAのI/Oを工夫した場合、タイミングがそろうようになり、数百MHzの速度でも扱えるようになる

図1 パラレル信号はタイミングをそろえるのが難しい



◀ 図2
FPGAの動作速度の考え方

XC3S1200E-4では各フリップフロップのセットアップ・タイムと出力遅延時間はそれぞれ0.6ns前後と一定なので、組み合わせ回路の遅延時間と配線の遅延時間によって最大動作周波数が決まります。

リスト2は、ビット0からビット31へ至る配線の遅延のレポートです(レポートの出し方は下掲のコラム参照)。

これは最も時間がかかるパスなので、この4.823nsの逆数がFPGAの最大動作周波数となります。配線の遅延時間は距離だけではなくファンアウトにも大きく影響されます。複数のロジックで参照されるほど信号が遅くなるので、高速な回路を作るためには、組み合わせ回路の複雑さを減らすだけではなく、ファンアウトを減らすためのテク

これがクロック周期以下であればよい

▼リスト2

リスト1の回路のビット0からビット31へ至る配線の遅延レポート

ロジックの遅延時間4.407nsに加えて、配線の遅延時間[net (fanout=2)の部分]が0.416nsあることがわかる。

Delay type	Delay(ns)	Logical Resource(s)
Tcko	0.591	count_0
net (fanout=2)	0.416	count<0>
Topcyf	1.162	Mcount_count_lut<0>_INV_0 Mcount_count_cy<0> Mcount_count_cy<1>
net (fanout=1)	0.000	Mcount_count_cy<1>
Tbyp	0.118	Mcount_count_cy<2> Mcount_count_cy<3>
~ (中略 ここに0.118nsの遅延が13段入る) ~		
net (fanout=1)	0.000	Mcount_count_cy<29>
Tcinck	1.002	Mcount_count_cy<30> Mcount_count_xor<31> count_31
Total	4.823ns	(4.407ns logic, 0.416ns route) (91.4% logic, 8.6% route)

ニックも必要になってきます。

● クロックの遅延

Xilinx社のFPGAではクロック信号にはグローバル配線

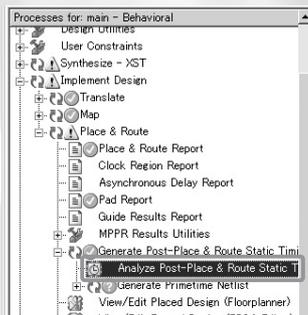
コラム タイミング・レポートの出し方

タイミング・レポートを出力するには、Processes ウィンドウの [Imprement Design] → [Place & Route] → [Generate Post-Place...] の中の Analyze Post-Place & Route Static Timing を起動します(図A)。

図Bのツールが起動するので、丸い時計のアイコンのボタ

ンを押します。するとツールが適当に信号を選んで、タイミングの解析結果を出力してくれます。

最も遅いネットや、興味深いネット、エラーのあるネットを自動で選んでくれるようで、特に設定は必要ありません。



図A タイミング・アナライザの起動



図B タイミング・アナライザの画面