



第3章 SDRAMからDDR2まで、ビット単価が安く大容量化が可能な

DRAMの種類と使い方

朝倉 善智
Yoshitomo Asakura

DRAMは揮発性ですから、電源を落とすとデータは消えてしまいます。その代わり、ビット当たりの単価が安く、アクセス速度もそこそこ速いので、現時点では数量においてメモリの王様です。データが消えないように定期的の上書きするリフレッシュ動作が必要なことも特徴です。

現在、DRAMの主流は同期型のSDRAM (Synchronous DRAM)です。本章ではこのSDRAMを中心に取上げます。

SDRAMの種類

● 1ピン当たりのデータ転送速度

SDRAMの仲間にはいくつかの種類がありますが、1ピン当たりのデータ転送速度によってSDRAM、DDR SDRAM(以降、DDR)、DDR2 SDRAM(以降、DDR2)のように分かれます。

- SDRAM：～133 Mbps
- DDR：200 Mbps～400 Mbps
- DDR2：400 Mbps～800 Mbps
- DDR3(仕様標準化検討中)：800 Mbps～1667 Mbps

● データ入出力本数

4本、8本、16本が主流ですが、32本のものも製品化されています。

● パッケージ

TSOPパッケージが主流ですが、最近では小型化、高速化のため、BGAパッケージも増えてきました。DDR2では高速動作のため、BGAパッケージだけとなっています。

● メモリ容量

DDR、DDR2では、256 Mビットから512 Mビットに主流が移りつつあります。SDRAMでは128 Mビット以下の旧世代も生産されています。

● 製品ラインアップ

表1にインフィニオンテクノロジーズのSDRAM製品のラインアップを示します。

SDRAMの特徴

SDRAMをベースに、高速化のためDDRが開発され、DDRのさらなる高速化を目的に、DDR2が開発されました。そのため、共通の特徴をしていますが、高速化、効率化のための新しい特徴がDDR、DDR2には追加されています。

■ SDRAM/DDR/DDR2 共通の特徴

①クロック同期式入出力

コマンド、データ信号の入出力が、クロック信号に同期して行われるため、クロック信号以外の信号のタイミングを考慮する必要がなく、タイミング設計が比較的容易です。

②コマンド制御

$\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ の3本の信号の組み合わせと、 $\overline{\text{CS}}$ 、 $\overline{\text{CKE}}$ の選択による各種コマンドによって動作が制御されるので、複数のSDRAMをバスに接続し、一つのコントローラから制御することが容易です。また、次に述べる独立バンク構造を取ることが可能になりました。コマンド体系はSDRAM、DDR、DDR2で共通です。

③独立バンク構造

図1にSDRAMの内部ブロック図を示します。内部に独立したバンクをもっていることがわかります。これらのバンクは、入出力を共有していますが、制御は独立しており、あたかも複数のDRAMが内部に存在するかのよう並行動作が可能です。ただし、共有している回路の関係で、一部制限事項があります。

表1 実際のSDRAM(インフィニオンテクノロジーズ)

型名	容量	構成 [ビット×本]	グレード	スピード	レイテンシ (CL-t _{RCD} -t _{RP})	パッケージ
HYB39S128400CT	128 M ビット	32 M × 4	-7	PC-133	2-2-2	54ピン TSOP
HYB39S128800CT		16 M × 8				
HYB39S128160CT		8 M × 16				
HYB39S256400DT	256 M ビット	64 M × 4	-7	PC-133	2-2-2	54ピン TSOP
HYB39S256800DT		32 M × 8				
HYB39S256160DT		16 M × 16				
HYB39S512400AT	512 M ビット	128 M × 4	-7.5	PC-133	3-3-3	54ピン TSOP
HYB39S512800AT		64 M × 8				
HYB39S512160AT		16 M × 16				

(a) SDRAM

型名	容量	構成 [ビット×本]	グレード	スピード	レイテンシ (CL-t _{RCD} -t _{RP})	パッケージ
HYB25D128400CE	128 M ビット	32 M × 4	-6	DDR333	2.5-3-3	66ピン TSOP
HYB25D128800CE		16 M × 8	-5	DDR400	3-3-3	
HYB25D128160CE		8 M × 16				
HYB25D256400CE	256 M ビット	64 M × 4	-6	DDR333	2.5-3-3	66ピン TSOP
HYB25D256800CE		32 M × 8	-5	DDR400	3-3-3	
HYB25D256160CE		16 M × 16				
HYB25D256400CF	256 M ビット	64 M × 4	-6	DDR333	2.5-3-3	60ボールFBGA
HYB25D256800CF		32 M × 8	-5	DDR400	3-3-3	
HYB25D256160CF		16 M × 16				
HYB25D512400BE	512 M ビット	128 M × 4	-6	DDR333	2.5-3-3	66ピン TSOP
HYB25D512800BE		64 M × 8	-5	DDR400	3-3-3	
HYB25D512160BE		32 M × 16				
HYB25D512400BF	512 M ビット	128 M × 4	-6	DDR333	2.5-3-3	60ボールFBGA
HYB25D512800BF		64 M × 8	-5	DDR400	3-3-3	
HYB25D512160BF		32 M × 16				

(b) DDR

型名	容量	構成 [ビット×本]	グレード	スピード	レイテンシ (CL-t _{RCD} -t _{RP})	パッケージ
HYB18T256400AF	256 M ビット	64 M × 4	-5	DDR2-400	3-3-3	60ボールFBGA
HYB18T256800AF		32 M × 8	-3.7	DDR2-533	4-4-4	60ボールFBGA
HYB18T256160AF		16 M × 16				84ボールFBGA
HYB18T512400AF	512 M ビット	128 M × 4	-5	DDR2-400	3-3-3	60ボールFBGA
HYB18T512800AF		64 M × 8	-3.7	DDR2-533	4-4-4	60ボールFBGA
HYB18T512160AF		32 M × 16				84ボールFBGA
HYB18T1G400AF	1 G ビット	256 M × 4	-5	DDR2-400	3-3-3	68ボールFBGA
HYB18T1G800AF		128 M × 8	-3.7	DDR2-533	4-4-4	68ボールFBGA
HYB18T1G160AF		64 M × 16				92ボールFBGA

(c) DDR2

④ バースト転送

リード/ライトのコマンドでスタート・アドレスを与えたあとは、自動的にアドレスをインクリメントしてデータを連続的に出力(図2)することにより、アドレス・コマンド・バスの負荷を下げ、より高速なデータ転送が可能となっています。

⑤ モード・レジスタによる動作設定

モード・レジスタへの書き込みにより、CASレイ

テンシ、バースト長などの動作設定をシステムに合わせて柔軟に行うことができます。ただし、モード・レジスタの設定内容を読み込むことはできないので、システム側で設定は記憶しておく必要があります。

図3にSDRAMのモード・レジスタの設定内容を示します。なお、DDR、DDR2では、増加した機能の設定のため、バンク・アドレスで選択される複数のモード・レジスタ(Extended Mode Register)があります。詳しくは使う製品のデータシートを参照してくだ