



第6章 クロック200 MHz 超の ZEROSB/QDR II /DDR II に見る

高速化を追求した最新 SRAM の種類と特徴

佐竹 弘之
Hiroyuki Satake

近年、インターネット技術の進歩とブロードバンド化に伴い、ネットワーク上を流れるデータの量は増大し続けています。そのため、バックボーンを支えるネットワーク機器では、さらなるデータ処理能力の向上が要求されており、これらネットワーク機器に使われるSRAMも高速、大容量化を要求されています。

本章では、これらの要求から登場した高速SRAMについて解説します。なお、最近の高速SRAMでは、その高いパフォーマンスを活かすために、さまざまなインターフェースの機能が搭載されており、それらを使いこなすことが重要です。それらインターフェースの機能についても説明します。

高速同期式SRAMの変遷

図1に、ネットワーク機器などで広く使われる、高速同期式SRAMの発展についてまとめました。高速同期式SRAMには、フロー・スルーSRAM、パイプライン・バーストSRAM、ZEROSB SRAM、QDR SRAM、DDR SRAMなどがあり、主にCPUのキャッシュや、ネットワーク機器でのバッファ・メモリと

して使用されています。そのなかでも、ZEROSB、QDR、DDRは200 MHzを越える高速動作が可能なSRAMであり、本章ではこれらについて説明したいと思います。

ここで紹介するQDR、DDRは、サイプレス セミコンダクタ、ルネサス テクノロジー、IDT、マイクロン テクノロジー、NECエレクトロニクス、サムスン電子が共同で仕様を策定した、高速の同期式SRAMです。詳細についてはQDRのwebサイト(<http://www.qdrsram.com/>)にアクセスしてみてください。

現在では第1世代のQDRより高いパフォーマンスを実現する、第2世代のQDR II、DDR IIが広く使用されています。今後は、さらなる高速動作を実現する第3世代のQDR III、DDR IIIへと開発が進みます。

本稿ではQDR II、DDR IIについて説明し、以降QDR、DDRと略します。表1にZEROSB、QDR、DDRの仕様をまとめます。

データ・バスを効率良く使う ZEROSB SRAM

■ 特徴と動作

● リードとライト切り替えの際のむだなサイクルがない

ネットワーク機器のバッファ・メモリは、リードとライトが頻繁に切り替わる動作が主体となります。従来の同期式SRAMは、アドレスを入力するサイクルと同じサイクルで書き込みデータを入力するのが基本動作となっているので、リード動作とライト動作が交互に続く場合には、切り替えの際にデッド・サイクル(図2)が生じてしまいます。

そこで、アドレス入力に対しデータ入力のタイミングを遅らせ、リード動作とライト動作を交互に行った場合のデッド・サイクルを完全になくし、データ・バス効率を良くしたのがZEROSB SRAMです。

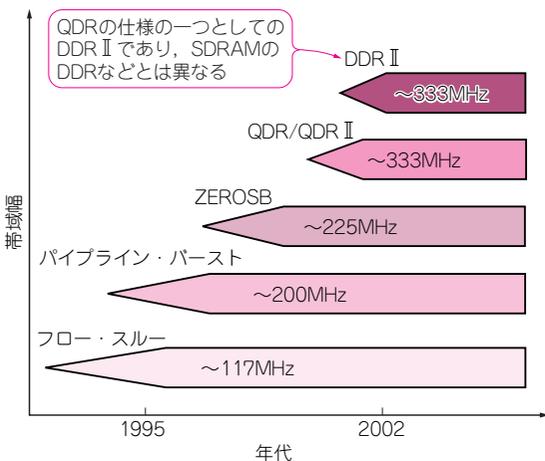


図1 高速同期式SRAMの発展

表1 高速SRAMの仕様

項目	種類	ZEROSB	DDR II	QDR II
動作周波数		~ 225 MHz	~ 333 MHz	~ 333 MHz
容量		8 M ~ 32 M ビット	18 M ビット ~	18 M ビット ~
V_{DD}/V_{DDQ}		3.3 V/3.3 V または 2.5 V/2.5 V	1.8 V/1.5 V または 1.8 V	1.8 V/1.5 V または 1.8 V
データ転送方式		SDR 方式	DDR 方式	DDR 方式
データ・ポート(注)		コモン I/O	コモン I/O	セパレート I/O
インターフェース		LVTTL	HSTL	HSTL
CID		無	有	有
DLL		無	有	有
JTAG バウンダリ・スキャン		無	有	有
パッケージ		100 ピン LQFP	165 ピン BGA	165 ピン BGA

注▶データ入力/出力が同一ポートであるものを“コモンI/O”，別々のポートであるものを“セパレートI/O”とする

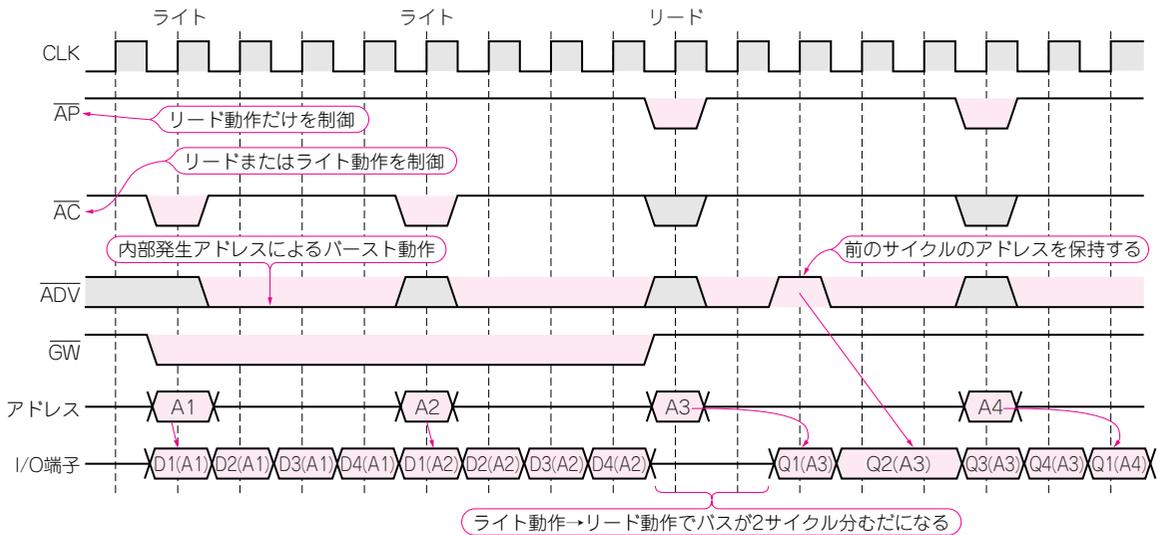


図2 従来の周期式SRAMのライト/リード動作

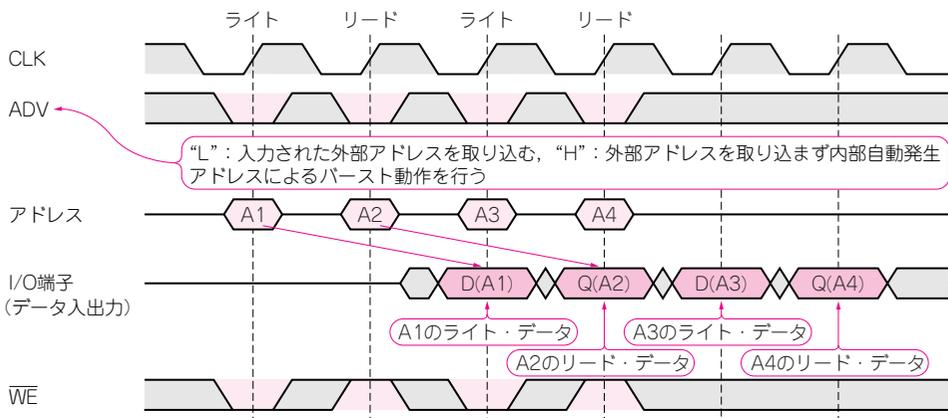


図3 PB方式のZEROSB SRAMのライト/リード動作