



## 第8章 安定した高純度な 高周波信号を生成する

# 高周波 PLL 用 IC の 使い方とトラブルシュート

石井 聡  
Satoru Ishii

PLL(Phase Locked Loop；位相ロック・ループ)用 IC は、現在ほとんどの高周波システムで使われているといっても過言ではありません。高周波システムに限らず、PLLの技術はモータ系や制御系などでも広く使われている技術です。

この章では、高周波システムの周波数発生に関する内容をテーマとして、実際の PLL IC の使いかたについて説明し、実デバイスを実験で評価してみます。

また、一般的な PLL システムで発生するトラブルの現象と、その対策方法についてまとめます。

### 45 M ～ 1.2 GHz で使える PLL IC で実験

#### ● ADF4117

今回の実験では、ADF4117(アナログ・デバイセズ)を使用します。この IC はシングル PLL 構成になっており、45 M ～ 1.2 GHz で使うことができます。図1に ADF4117 のブロック図を示します。

プリスケアラは 32/33 分周切り替えのデュアル・モジュラス型になっており、A/B の二つのカウンタに値を 3 線のシリアル通信でセットすることで、 $N = 32 \times B + A$  (ただし  $B > A$  であること) の  $N$  カウンタ

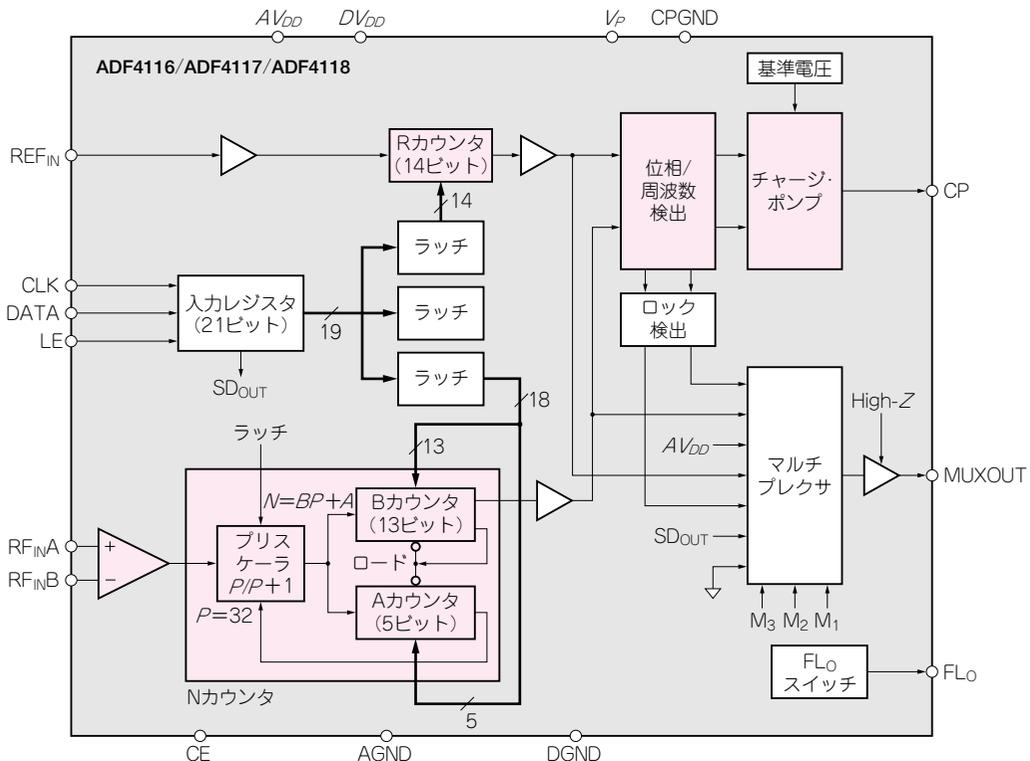


図1 ADF4117のブロック図

値を設定することができます。

### ● PLL ICへのプログラム・データのロード方法

現在のPLL ICは、ほとんどのメーカーでも3線式のシリアル通信でプログラム・データをセットするものになっています(図2)。過去にはデジタル・スイッチによってパラレルで設定できるものもありましたが、現在ではマイコンなどでこのデータをシリアル転送するようにします。

ADF4117の3線シリアル通信のデータ・ロードは

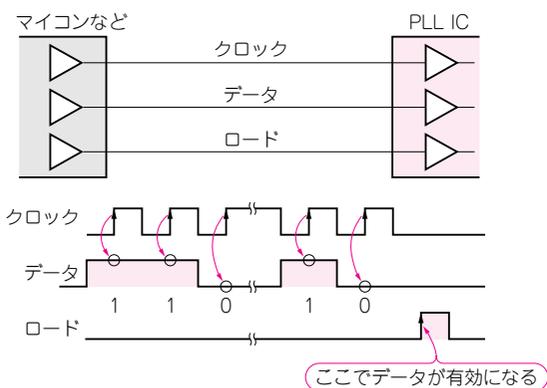


図2 3線式のシリアル通信でプログラム・データをセットする

MSBからですが、これはメーカーによっても順序や表記が違うので注意しましょう。

### ● その他の特徴

チャージ・ポンプは最近の主流の電流出力型です。チャージ・ポンプ用電源は別端子(最大6V)になっており、VCOの制御電圧に高電圧が要求されている場合に(広帯域のVCOに多い)、デジタル回路部分の電源電圧に関係なく設定できるので便利です。

さらにパワーダウン・モードや高速ロックアップ・モードを使うと、バッテリーの消費に気をを使う間欠動作の機器でも有効に、余分な電力を使わずに動作させることができます。

## 実際に動かしてみる

PLL IC周辺の回路図を図3に、表1に要求諸元について示します。

チャネル・セパレーション(間隔)ですが、PLLで発生させることのできる異なる周波数の最小ステップが規定されています。一方で、PLL ICの発生するサイドバンド・ノイズを最小にすることを考えると、システムから要求されている「チャネル・セパレーション」を「PLLでの最小ステップ」と等しくするのが

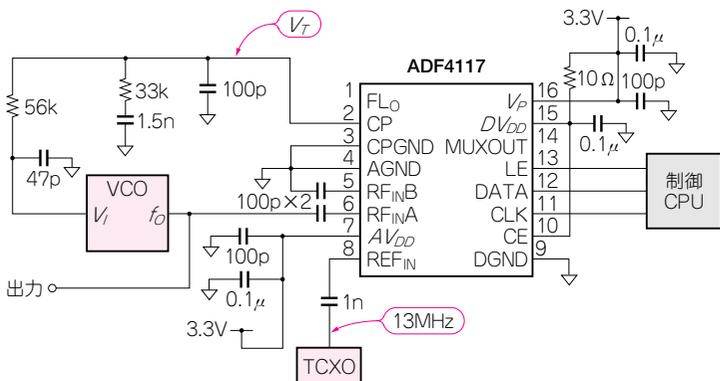
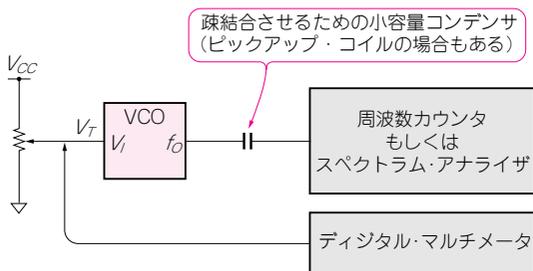


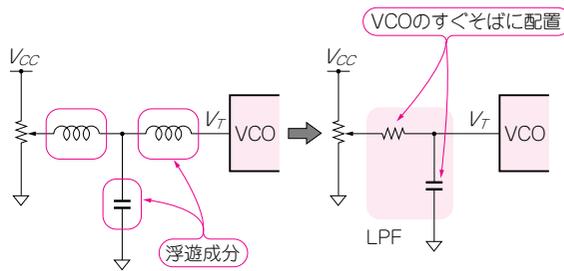
図3 ADF4117を使用したPLL回路(発振中心周波数1.075 GHz, 最小ステップ周波数100 kHz, チャネル数100)

表1 実験するPLL回路の要求諸元

項目	諸元
発振中心周波数	1.075 GHz
TCXO周波数	13.000 MHz
最小ステップ周波数	100 kHz
チャネル数	100



(a) 測定方法



(b) 測定時の注意点

図4 VCOの制御電圧感度特性 $K_V$ の測定と注意点