

# 個別部品で組み立てて動作原理から設計法までを理解する PLL 周波数シンセサイザの設計法徹底解説

## 第14回 分周器の構成要素「カウンタ回路」

カウンタ回路の基本動作を理解する

小宮 浩  
Hiroshi Comiya

図14-1に、この連載で設計/製作しているPLL周波数シンセサイザの基本構成を示します。前回(第13回, 2007年3月号)までに、

- ① 入力基準信号に用いる水晶発振器
- ② 出力信号を発生する電圧制御発振器VCO
- ③ 二つの信号の位相差を出力する位相比较器PC

の三つのブロックで設計/製作を完了しました。

今回からは、④と⑤に示す分周器を解説します。

### 高周波PLL回路には分周器が 三つ使われる

図14-2に示すのは、高周波を扱えるPLL周波数シンセサイザの基本構成です。設計/製作しているPLL周波数シンセサイザもこの形です。

高周波PLL周波数シンセサイザの分周器は、

- Ⓐ リファレンス分周器
- Ⓑ プログラマブル分周器
- Ⓒ プリスケーラ分周器

の三つで構成されるのが基本です。

### ● PLL周波数シンセサイザの出力周波数と分周数の関係

図14-2のPLL周波数シンセサイザの出力周波数

と各分周器の分周数との関係を見てみましょう。

PLLが構成されると $f_R = f_D$ が成り立つので、基準信号である水晶発振器の周波数を $f_X$ とすると、出力周波数 $f_{out}$ は、式(14-1)で表されます。

$$f_{out} = \frac{NP}{R} f_X \dots\dots\dots(14-1)$$

ただし、 $R$ ：リファレンス分周器の分周数、 $N$ ：プログラマブル分周器の分周数、 $P$ ：プリスケーラ分周器の分周数

各分周器の分周数と出力周波数 $f_{out}$ の関係については、連載第2回(2006年4月号)のp.215とp.216も参照ください。

### ● 現在の分周器はPLL ICに取り込まれている

PLL周波数シンセサイザが合成して作り出す新しい周波数は、各分周器の分周数の設定によって決まります。

高周波におけるPLL周波数シンセサイザは、動作スピードや使い勝手を含めた性能向上を目指して発展してきたと言えます。

1980年代には、数百MHzのPLL回路でも、消費電力の多いECLロジックによるカウンタなどをディスクリット構成で組んでいました。私も、ECLで作っ

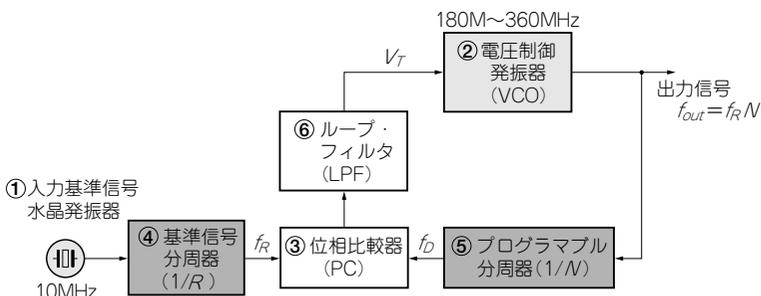


図14-1 PLL周波数シンセサイザの基本構成  
今回から分周器を解説する

### Keywords

分周器, リファレンス分周器, プログラマブル分周器, プリスケーラ分周器, カウンタ, フリップフロップ, Tフリップフロップ, 1/8分周器, 10進カウンタ, N進カウンタ, 74AC163

たカウンタの誤動作や発振止めに苦労したことを思い出します。

しかし今では、数GHzのPLL回路でも、基本構成の分周器に加えて周波数比較器を含めた、図14-2の点線で囲んだ回路を低電力なワンチップPLL ICで構成できてしまいます。

ICにより、分周器はブラックボックス化していますが、その基本は図14-2に示す構成です。この三分周器を順に設計/製作して、その動作を理解していきましょう。

PLL ICに備えられた分周器を用いるにしろ、ロジックICで分周器を組むにしろ、分周回路としてのカウンタ回路の基本的な考え方やその形を知っておくと、何かと助けになるでしょう。

## 分周器の基礎となる カウンタ回路の動作

ここでの分周回路とは、入力される周波数を整数分の1にする周波数変換回路で、カウンタ回路(計数回路)によって構成されます。

### ● もっとも基本的な分周器

すべての計数回路の基本となるのは、1/2分周器となる1ビット・カウンタです。

### ▶ Dフリップフロップを使う方法

図14-3(b)には、Dフリップフロップ(74xx74)を用いた1ビット・カウンタを示します。反転出力 $\bar{Q}$ をD入力にフィードバックさせることによって、クロックの立ち上がりごとに出力が反転します。

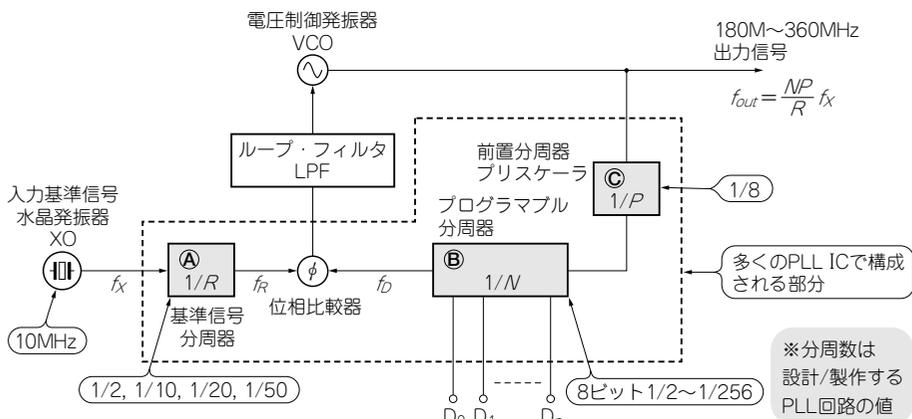
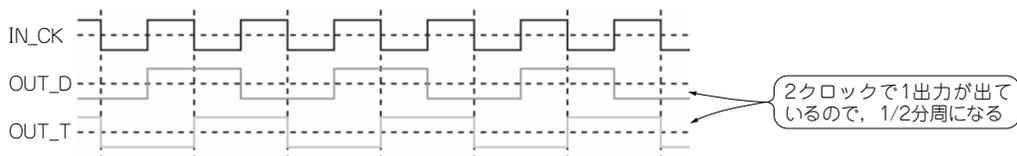
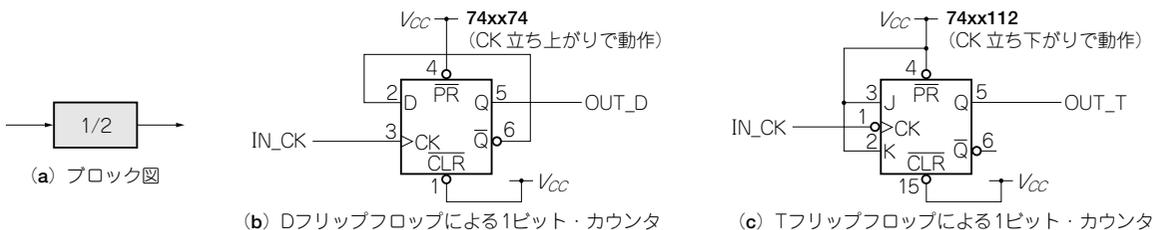


図14-2 高周波PLL周波数シンセサイザには三分周器がある  
分周器の動作には限界があるのでこのような構成が必要になる



注▶ フリップフロップの遅れは考慮していない

(d) 1/2分周のタイムチャート

図14-3 すべてのカウンタ回路の基礎といえる1/2分周器  
フリップフロップによる1ビット・カウンタが1/2分周器になる