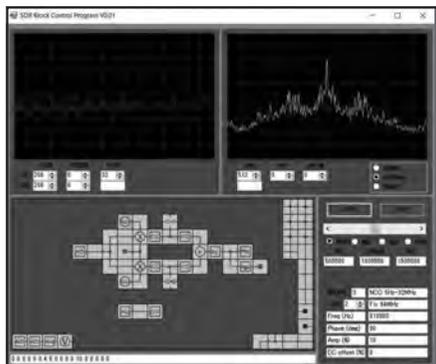


連載



# 周波数/波形解析から信号発生まで! エントリ・キットで始めよう フルデジタルRFプロセッサ SDRで作る私の計測器

第9回 A-D変換データのすべてを活かしつつ間引く方法

加藤 隆志 Takashi Kato

● 1 MSPS, 12ビットA-Dコンバータを使って,  
 250 kSPS, 14ビットのスペアナを作る

本連載では、写真1に示すSDRスペクトラム・アナライザ(以下、本器)を製作中です。今回は、FFT演算したA-D変換データの指定した周波数範囲のパワー・スペクトルの積分値を得るソフトウェアを作り、信号とノイズのパワー比(S/N)を測る機能を追加しました。

今回は、MAX10 FPGAの内蔵A-Dコンバータ(12ビット, 1 MSPS)のパフォーマンスを最大限引き出して、帯域125 kHzのスペクトラム・アナライザを作ります。ナイキストの標準化定理から、125 kHzを解析するために必要なサンプリング周波数は250 kSPSです。MAX10 FPGAのA-Dコンバータのサンプリング・レートは1 MSPSですから過剰に見えます。しかし、この1 MSPSのデータをフィルタリングを組み合わせるとうまく1/4に間引いて、サンプリング・レートを250 kSPSに落とせば、その一見過剰に見えるA-Dコンバータのパフォーマンスがレベルの分解能向上に活かされます。 〈編集部〉

## 改良の方法

FPGA内部に製作した信号処理回路を図1(b)に示します。

① サンプリング・データを間引いて、FFT解析したい帯域に入力信号をフィットさせる

MAX10 FPGAの内蔵A-Dコンバータのサンプリング周波数は1 MSPSなので、測定できる入力信号の帯域はDC~500 kHz(固定)です。

パソコン側で処理するFFT解析プログラムの計算ポイント数は512です。帯域20 kHzのオーディオ信号のスペクトラムを解析すると、最小分解能(1 bin)は2 kHzになりますが、これでは粗すぎて、周波数を細かく刻んだ解析はできません。

MAX10が内蔵するA-Dコンバータのサンプリン

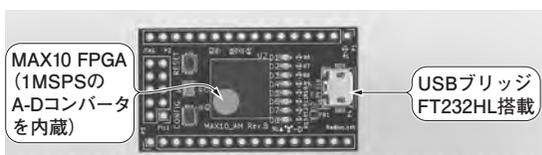


写真1 FPGA-USBモジュール SDR-Block AM-TG1(CQ出版社)を使って、フルデジタル・ワンチップ・スペアナを製作中

グ・レート(1 MSPS)を250 kSPSに下げれば、FFTの対象帯域がDC~500 kHzからDC~125 kHzに狭まり、1 bin当たりの帯域は約500 Hz(=20 kHz/512)と細かくなります。サンプリング・レートを下げる「デシメーション処理(まびき処理)」は、RAMのクロック・レートを1/4に落としてデータを格納する回路で実現できます。

なお、FFTの解析ポイントは1024個に増やすことも可能ですが、パソコンの処理能力とプログラミングにC#言語を使ったことから、更新が間に合わずごちない表示になります。また512個以下に設定すると、更新が速くなりますが、目の粗い表示になってしまいます。

② A-Dが出力信号フォーマットを正負タイプに変換する

MAX10 FPGAが内蔵するA-D変換回路が出力するデータ形式は「オフセット・バイナリ」です(表1)。しかしFIRフィルタを始め、MAX10 FPGAに書き込む回路の多くが扱うのは、正と負に振幅がある信号(極性のある数値)なので「2の補数」に変換します。2の補数に変換するときは最上位ビットを反転させます。リスト1にこの処理を行うVHDLソースコードを示します。

③ デシメーション回路の後はデータ・バスの幅を上げる

例えば、1/4デシメーションすると帯域は1/4に狭くなり、ノイズ・レベルが電力で1/4(=-6 dB)に低下します。結果、ダイナミック・レンジが6 dB(分解能は1ビット)増します。デシメーション回路後のデ