

第4章 時分割演算方式の基本から順伝播/逆伝搬演算回路の構成まで

ハードウェアAI製作に向くアーキテクチャ

実用的なAI回路をFPGAに組み込むには、単純パーセプトロンを多層化した多層パーセプトロンなどを構成し、AI演算ができるアーキテクチャを考える必要があります。

本章では、「推論」と「学習」が可能なAI回路製作スタータ・ボード(第4章Appendixを参照)を例に、そのアーキテクチャや演算方法を紹介します。

アーキテクチャの概要

● 例題

図1に示すのは、AI回路製作に活用できるアーキテクチャの例です。本アーキテクチャはAI演算コアであるFPGAと演算に必要なデータを格納する外部メモリから構成されています。図1(a)に示すようにFPGA内部は順伝播演算を行うFFモジュール、学習を行うBPモジュール、演算に必要な数値を一時保存するための内部メモリ、外部メモリや、マイコン(Arduino)との通信を行うSPIモジュールに分かれています。

各種メモリは図1(b)に示すように外部メモリに重みや入力、ラベルから出力に至るまでのAI演算に必要なすべてのデータを格納します。

一方で内部メモリはバッファとして使われます。入力やラベル・データが格納される他、推論によって得られる各層(隠れ層、出力層)の活性化関数に入力する前の出力値を保存します。

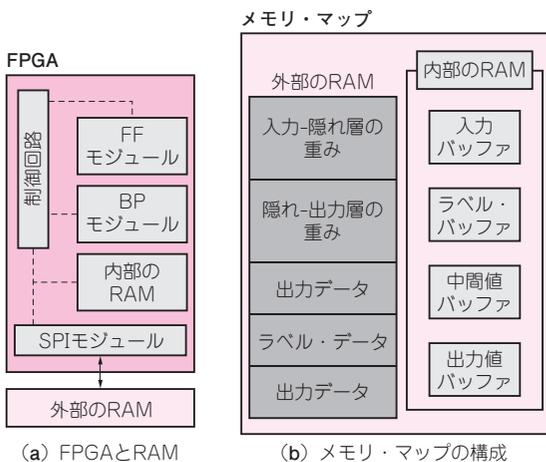


図1 AI回路製作に利用できるアーキテクチャの例
本章では、推論と学習をリアルタイム処理できるスタータ・ボード(第4章Appendix)を例にAI回路製作に活用できるアーキテクチャを紹介する

● トップ・モジュールの構成

図2に示すのは、FPGAに実装されているAIの演算回路のトップ・モジュールです。各モジュール・ブロック名は、付録DVD-ROMに収録されているVerilogファイルのモジュール・ブロック名と同じです。

内部にマルチプレクサ(MUX)とSPIの両バスがあります。構成は主として制御回路と各種データのバッファ(input, label, hidden, output)、演算を行う順伝播演算回路ブロック(FF)と逆伝播演算回路ブロック(BP)からなります。

● 演算開始と演算終了

演算開始/終了は、ArduinoとFPGA間でGPIO/SPIを通して行われます。Arduinoから受け取る演算開始信号は3種類存在し、FFまたはBPだけ、FFとBPを行う信号になっています。ここではFFとBPの信号を受け取った場合について説明します。

演算開始信号を受け取ると制御回路は、データのロード、FF、BPの順に動作するように演算回路(FF/BP)、MUX/SPIを制御します。すべての演算が終了次第待機状態になり、次の演算開始信号までその状態を維持します。

図2にはデータ・ロード時のデータ・フローも示し

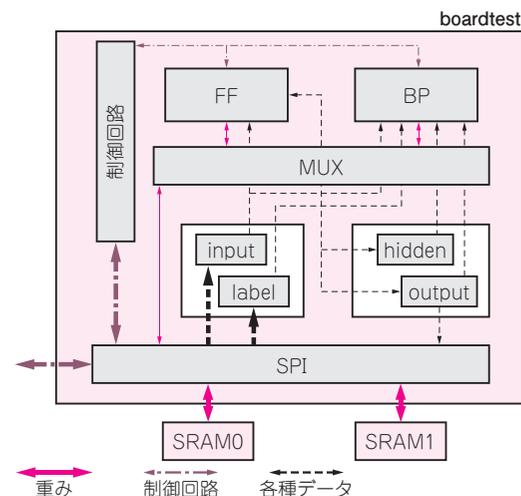


図2 FPGAに実装されたAIの演算回路と演算時のデータ・フロー(データ・ロード)
本例では、入力・出力データなどの通信はSRAMを通して行われる。演算はFPGAとSRAM内で完結する。演算開始/終了などの制御信号はGPIOを利用するため、マイコンとFPGAを接続する