

訂正とお詫び

本誌のバック・ナンバーにおいて、下記の箇所に誤りがありました。お詫びして訂正いたします。
(編集部)

● 特集

p.117 ページ中央のCPU_IRQ2, CPU_IRQ3, CPU_IRQ4の接続先：
MAX3128 → FPGA

p.118 図中の計算式上側： $(0.5/170\text{ k}) \times 390000 + 0.5 \doteq 1.7218\text{ V} \rightarrow (0.5/160\text{ k}) \times 390000 + 0.5 \doteq 1.71875\text{ V}$

p.118 図中の計算式下側： $(0.5/190\text{ k}) \times 390000 + 0.5 \doteq 1.5\text{ V} \rightarrow (0.5/$

195 k) $\times 390000 + 0.5 \doteq 1.5\text{ V}$

p.134 著者名：前田 勝巳 → 前田 勝己

p.135 左↓8行目：〈前田 勝巳〉 → 〈前田 勝己〉

p.135 表A：全チャンネル併用可能 → 選択して使用可能

p.137 右↑10行目数式： $K_e N \rightarrow K_e \underline{N(t)}$

p.137 右↑7行目： $N \rightarrow \underline{N(t)}$

p.148 コラム左↓1行目：災害発生が

発生 → 災害が発生

p.150 写真2：マルチ・ポイント接続用コネクタ → マルチ・ドロップ接続用コネクタ

p.173 図1(b)instruction：13 → 12

p.173 図1(d)instruction：8 → 18

● ロジック回路設計の手ほどき

図面番号 図6-x → 図4-x

リスト番号 図6-x → 図4-x