

## 訂正とお詫び

本誌のバック・ナンバーにおいて、下記の箇所に誤りがありました。お詫びして訂正いたします。  
(編集部)

### ■ 2006年12月号

#### ● 特集

p.106 左↑11：2MS/秒→4MS/秒  
 p.115 左↓10：DAC<sub>1</sub>→ADC<sub>1</sub>，左↓11：ADC<sub>1</sub>→DAC<sub>1</sub>(二つとも)，DAC<sub>1</sub>→ADC<sub>1</sub>，右↓9：DAC<sub>3</sub>→DAC<sub>3</sub>  
 p.118 右↑7：D-A→A-D  
 p.120 右↓4：です。→です(図25)。  
 p.121 図27(b) y軸：[dB]→トル  
 p.125 表4 枠内注釈  
 ↓8：8回目変換の→③8回目変換の，  
 ↑6～↑1：③8回目変換の～33との差  
 →④Z<sub>4</sub>(12)は，7回目変換の4モジュール  
 ション・クロック後のZ<sub>3</sub>(33)と8回目  
 変換の4モジュール・クロック後の  
 Z<sub>3</sub>(45)の差である。ここで，SINC<sup>2</sup>  
 フィルタの動作は次式で表せる。V<sub>I</sub> =  
 7.5 V，X = "1110"，Z<sub>4</sub>(n = 8) = 12 =  
 "1100"。V<sub>I</sub> = 7.5 Vは次式で求まる。  
 5 V × '1' + 2.5 V × '1' + 1.25 V × '0'  
 + 0.625 V × '0' = 7.5 V  
 p.145 用語解説 図B：(FET入力型)  
 →(バイポーラ入力型)，(バイポーラ入  
 力型)→(FET入力型)

p.162 右↓3～↓5：回路～います。→  
 削除

p.165 図3-E キャプション：誤差は  
 ループ→誤差は開ループ

#### ● 実験で学ぶロジック回路設計

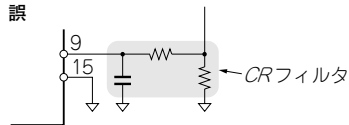
p.211 写真1-1キャプション：モータ  
 出力～集めたもの→VGAモニタ出力用  
 のインターフェースなどを集めたもの

p.216 左↓1：= (A · B · C + A ~  
 → = (A · B · C + A ~

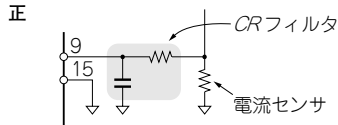
#### ● 小型モータの選定と制御技術

p.228 図5-2 右下部，下図参照

誤



正



#### ● PLL回路の低位相雑音化の一手法

記事全体：f<sub>VPN</sub>→f<sub>VPNF</sub>

p.254 左↑11行目から8行目：  
 ループ・フィルタの～決めます。

↓  
 位相余裕を確保する必要があります。位  
 相余裕はロック時間とも関係するので、  
 一般的なPLLでは安定度の検討が必要  
 な周波数でのフィルタの位相遅れが40  
 ~50°程度になるよう設計します。

p.255 左↓7行目から17行目：  
 ループ・フィルタの～求めました。

↓  
 電流出力型の場合，電圧出力型のとき  
 と違い，ループ・フィルタを除いた伝達  
 特性が求められません。

前回の図6に示すように，ループ・フ  
 イルタの位相が最も戻っている周波数f<sub>M</sub>  
 付近では，ループ・フィルタのインピー  
 ダンスはほぼR<sub>2</sub>です。

VCOのゲイン，位相比較器とルー  
 プ・フィルタの合成ゲイン，分周数(N)，  
 R<sub>2</sub>とで決定される積分特性が0dBにな  
 る周波数をf<sub>VPNF</sub>とすると，次式で求め  
 ることができます。

$$f_{VPNF} = K_{VCO}(2I_p R_2 / 2\pi) \times (1/2\pi N)$$