

ファームウェア更新 バージョン501B

ICのばらつきにより65MHz PLLが時々ロック外れする問題への対策

2015, 1, 12 西村芳一

●現象

A-Dコンバータのクロックは65MHzを発生させるPLL IC (IC24 ; AD4360-8) で作られています。大部分のICは問題ないのですが、ICのばらつきで、たまにPLLのロック外れが発生していました。

直接の現象としては、受信周波数を設定したにも関わらず、その周波数では受信できずに、ずれたところで受信するというものです。ICによっては、電源の入り切りで、現象が出たり出なかったりします。

●原因

PLL ICの初期化において、コントロール・レジスタを設定した後で、周波数を決めるNカウンタを設定します。しかし、コントロール・レジスタを設定してVCOが落ち着くまでには時間がかかり、落ち着く前にNカウンタを設定すると現象が発生する場合があります。

PLL ICのデータシートにも、隅のほうに推奨値として15m秒以上とあります。現状はそれ以下になっており、それが原因だと思われました。

●対策

コントロール・レジスタの設定とNカウンタの設定の間隔を15m秒以上あけ、さらに設定を念のために2回行うようにFPGAの処理を変更しました。その結果、現象はなくなりました。

●更新ファイル

trx305mb501b.mot : TRX-305MBファームウェア (バージョン501B)

¥cyclone内のファイル

main.vhd

PLLIC65.vhd

rtimeclock.vhd

transmittotal.vhd

¥sh2内のファイル

Cyclon.SRC

SERIAL.SRC

startup.src