

1 マクロ・セル必要数に注目したCPLDの選び方

芹井 滋喜
 Shigeki Serry

● CPLDの選択手順

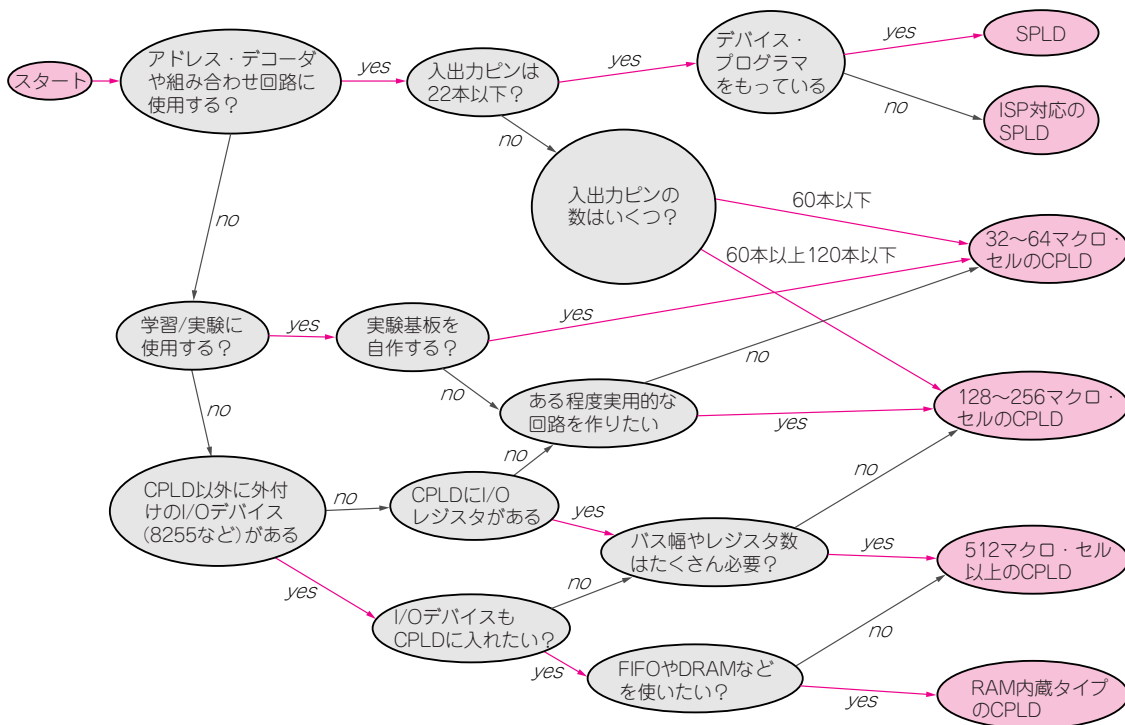


図1-1 CPLDの選択手順

2 CPLDでよく使うVerilog HDL モジュール集

芹井 滋喜
 Shigeki Serry

● Dフリップフロップ

リスト2-1 Dフリップフロップ

```
always @(posedge clk or posedge reset) begin
    if(reset)
        Q<=0;
    else
        Q<=D;
end
```

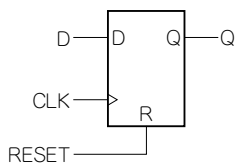


図2-1
 Dフリップフロップ

● Tフリップフロップ

リスト2-2 Tフリップフロップ

```
always @(posedge clk or posedge reset) begin
    if(reset)
        Q<=0;
    else
        Q<=~Q;
end
```

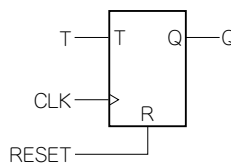


図2-2
 Tフリップフロップ

● ラッチ回路

リスト 2-3 ラッチ回路

```
Y=A & E | Y;
```

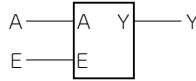


図 2-3 ラッチ回路

● 8ビット・シフトレジスタ

リスト 2-5 8ビット・シフトレジスタ

```
always @(posedge clk or posedge reset) begin
    if(reset)
        Q=0;
    else
        Q={Q[6:0],D};
end
```

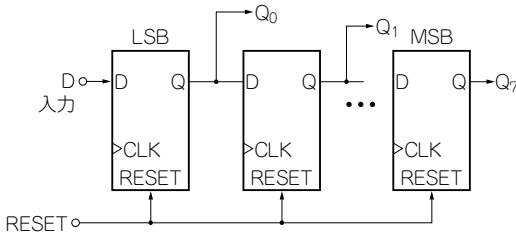


図 2-5 8ビット・シフトレジスタ

● 7セグメント・デコーダ

リスト 2-7 7セグメント・デコーダ

```
function [6:0] LedDec;
    input [3:0] i;
    begin
        case (i)
            4'h0: LedDec = 7'b0000001; // 0
            4'h1: LedDec = 7'b1001111; // 1
            4'h2: LedDec = 7'b0010010; // 2
            4'h3: LedDec = 7'b0000110; // 3
            4'h4: LedDec = 7'b1001100; // 4
            4'h5: LedDec = 7'b0100100; // 5
            4'h6: LedDec = 7'b0100000; // 6
            4'h7: LedDec = 7'b0001111; // 7
            4'h8: LedDec = 7'b0000000; // 8
            4'h9: LedDec = 7'b0000100; // 9
            4'h0a: LedDec = 7'b0001000; // a
            4'h0b: LedDec = 7'b1100000; // b
            4'h0c: LedDec = 7'b1110010; // c
            4'h0d: LedDec = 7'b1000010; // d
            4'h0e: LedDec = 7'b0110000; // e
            default: LedDec = 7'b0111000; // f
        endcase // case(i)
    end endfunction
```

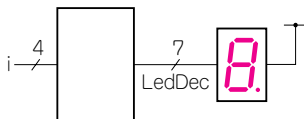


図 2-7 7セグメント・デコーダ

● 4入力セクタ

リスト 2-4 4入力セクタ

```
Assign Y=(SEL==2'b00 ? A :
    ( SEL==2'b01 ? B :
    ( SEL==2'b10 ? C : D ));
```

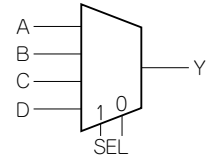


図 2-4 4入力セクタ

● BCD カウンタ

リスト 2-6 BCD カウンタ

```
always @(posedge clk or posedge reset) begin
    if(reset)
        Q<=0;
    else begin
        if(Q==4'h9)
            Q<=0;
        else
            Q<=Q+1;
        end
    end
end
```

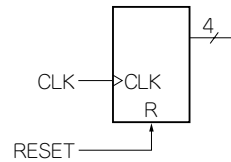


図 2-6 BCD カウンタ

● チャタリング除去回路

リスト 2-8 チャタリング除去回路

```
Assign D2=D & Q;
always @(posedge clk or posedge reset) begin
    if(reset)
        Q<=0;
    else
        Q<=D;
always @(posedge clk or posedge reset) begin
    if(reset)
        Y<=0;
    else
        Y<=D2;
end
```

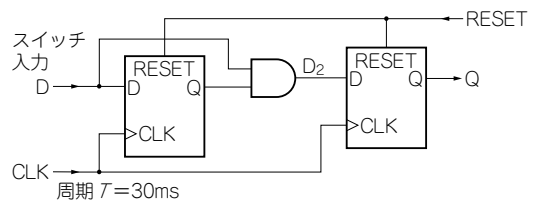


図 2-8 チャタリング除去回路