

個別部品で組み立てて動作原理から設計法までを理解する PLL 周波数シンセサイザの設計法徹底解説

第2回 基本構成と低雑音化のための基礎知識

小宮 浩
Hiroshi Comiya

前回(第1回, 2006年3月号)は, 製作する180 M~360 MHzのPLL周波数シンセサイザの性能を紹介しながら, PLL周波数シンセサイザの最適化設計への準備をしました。そして, PLL(Phase Locked Loop)という負帰還回路の基本的な動きも理解しました。

今回は, まずPLLを周波数シンセサイザとして動かすときの基本構成を理解しましょう。

その次に, 周波数シンセサイザの低雑音化の必要性と, それを達成するための方法を考えます。そして, PLL周波数シンセサイザの中心であり, 最も難解な発振器(VCO, VCXO)設計の準備へと話を進めていきます。

PLL 周波数シンセサイザの基本構成

● PLL回路に分周器を追加する

PLL回路は, ①電圧制御発振器(VCO), ②位相比較器(PC), ③ループ・フィルタから構成されます。

PLL回路の位相比較器に④入力基準信号 f_R を入力すると, 周波数負帰還動作を行うことができます。

PLL周波数シンセサイザとして使う, すなわち, 新しい周波数を合成して作り出すには, これに⑤分周器(1/N)を追加する必要があります。

● 基準周波数のN倍の周波数を作る

図2-1に, PLL周波数シンセサイザの基本構成を示します。①VCOと②位相比較器の間に, ⑤分周器(1/N)を挿入しています。

VCOの出力周波数を f_{out} とすると, 位相比較器への入力周波数 f_D は, 次式となります。

$$f_D = f_{out} / N \dots\dots\dots (2-1)$$

PLLが構成されることによって, f_D は入力基準周波数 f_R と等しくなります。つまり, 出力周波数 f_{out} は次式で決まります。

$$f_{out} = f_R N \dots\dots\dots (2-2)$$

これは, PLL回路が周波数シンセサイザとして動作し, 入力基準周波数 f_R のN倍の合成周波数を作り

出すことを意味しています。

● 基準信号と同じ安定度をもつ高周波を作る

例えば, 安定度の優れた200 MHzが欲しいとします。しかし, 周波数安定度に優れた200 MHzの水晶発振器を製作するのは容易ではありません。

1 MHzで周波数安定度の優れた水晶発振器や, 安定度はあまりよくないが, 200 MHzで発振できるLC発振器ならば簡単に製作できます。

そこで, 1 MHzの水晶発振器を入力基準信号とし, LC発振器で200 MHzのVCOを作り, 1/200の分周器と組み合わせてPLL回路を作れば, 1 MHzを200 MHzにする周波数シンセサイザを構成できます。

こうすると, 安定度の悪いLC発振によるVCOの出力で, 水晶発振器と同じ周波数安定度を得ることができます。

実用的な構成

■ プログラマブルな分周器を使う

次に, 分周器をプログラマブルな(可変な)分周器で構成した場合のPLL周波数シンセサイザの動きについて考えてみましょう。

図2-2に示すのは, プログラマブル分周器を備え

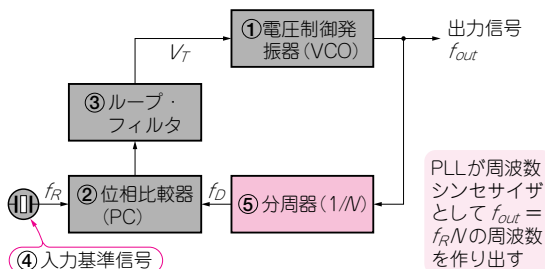
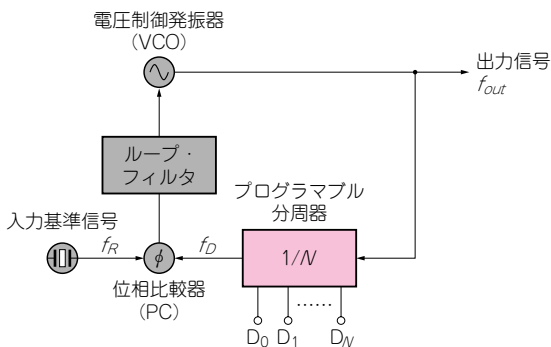


図2-1 PLL周波数シンセサイザの基本構成
PLL(フェイズ・ロック・ループ)の中に分周器が含まれる



分周器をプログラマブルとすることで、基準信号 f_R ずつステップする周波数シンセサイザを構成できる

図2-2 出力周波数を簡単に換えられるPLL周波数シンセサイザの構成

たPLL周波数シンセサイザです。分周比が $1/N$ であれば出力周波数 f_{out} は式(2-2)でした。

プログラマブル分周器の N を1増やし、 $N+1$ とすると、PLLはどのように働くでしょうか。

PLLが構成されると、常に $f_D = f_R$ の関係となるので、出力周波数 f_{out} は次式となります。

$$f_{out} = f_R (N + 1) \dots\dots\dots (2-3)$$

N を $N+1$ にすると、出力周波数 f_{out} は基準周波数 f_R ぶんだけ変化します。

● f_R のステップで出力周波数を変えられる

分周器をプログラマブルなものにすることで、出力周波数を f_R ステップで換えられる周波数シンセサイザを構成できます。

固定分周の場合は、分周器 N の値が200であれば、200 MHzの出力しかできませんでした。

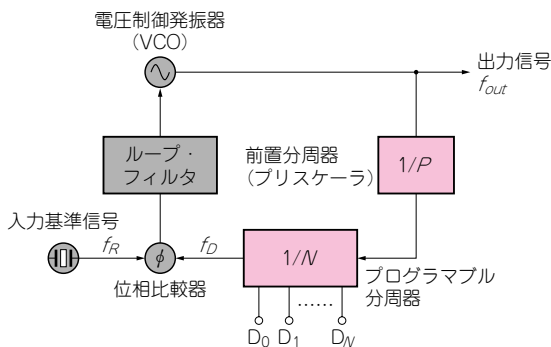
分周器をプログラマブルにして、 N の値を200, 201, 202...と可変すれば、200 MHz, 201 MHz, 202 MHz...と、出力を入力基準周波数 $f_R = 1$ MHzずつステップ変化させられます。

このように、PLL周波数シンセサイザの分周器を可変分周器としてプログラマブルとすることにより、その応用範囲は大きく広がります。

■ より高い周波数を扱うために プリスケーラを加える

● プログラマブル分周器の動作周波数には限界がある
高周波のPLL周波数シンセサイザを組む場合には、プログラマブル分周器を使うだけでは問題があります。プログラマブル分周器は、一般的には、あまり高い周波数で動作できません。

プログラマブル分周器はロジック回路を用いたカウンタ回路なので、その動作スピードは使用されている



高周波PLL周波数シンセサイザでは、前置分周器、プリスケーラを配置する

図2-3 高周波を扱えるPLL周波数シンセサイザの構成 プリスケーラ(前置分周器)を加えた。周波数ステップが粗くなる

デバイスによってある程度決まります。

● プリスケーラで動作可能な周波数まで下げる

図2-3に示すように、プログラマブル分周器の前にプリスケーラ(前置分周器)を置いて、プログラマブル分周器に入力される信号を動作できる周波数まで下げることで、この問題を避けられます。

これが高周波を扱うPLL周波数シンセサイザの基本形です。ただし現在では、GaAsを用いることで、数GHzでも動作するプログラマブル分周器があり、プリスケーラのない場合もあります。

● 周波数ステップが粗くなってしまふ

分周比 P のプリスケーラ(1/P)とプログラマブル分周器(1/N)を備えたPLL周波数シンセサイザの出力周波数 f_{out} は、次式で表せます。

$$f_{out} = f_R N P \dots\dots\dots (2-4)$$

プログラマブル分周器の分周比 N を1増加させて $N+1$ とすると、出力周波数 f_{out} は次式となります。

$$f_{out} = f_R (N + 1) P \dots\dots\dots (2-5)$$

この式からわかるように、プリスケーラを挿入することによって、一つ問題が生じます。それは、出力周波数 f_{out} の周波数ステップが、プリスケーラの分周比 P 、つまり P 倍されてしまうということです。

いま、プリスケーラ1/Pに1/8のものを用いましょう。そして、先程と同様に、基準周波数 f_R を1 MHzとして、プログラマブル分周器の N を200, 201, 202...と可変します。すると、今度は1 MHzステップにはならず、8 MHz(= $f_R \times 8$)ステップとなってしまいます。

▶ 基準周波数を下げると応答速度や雑音に悪影響

出力周波数 f_{out} を1 MHzステップで動かしたければ、基準周波数 f_R を1/8の125 kHzにしなければなりません。