

# 個別部品で組み立てて動作原理から設計法までを理解する PLL 周波数シンセサイザの設計法徹底解説

## 第19回 高性能を実現する3次形PLLのループ・フィルタ

ラグ・リード型からさらにもう一步

小宮 浩  
Hiroshi Comiya

PLL回路のループ・フィルタには、以下の三つの条件を満たすことが望まれます。

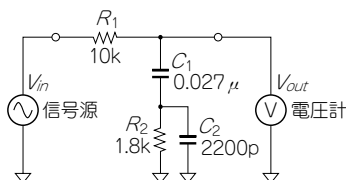
- ① カットオフ周波数を任意に選べる  
位相雑音特性を最良にするため、あるいは用途に応じて必要な応答特性を得るためです。
- ② PLLが安定動作する  
十分な位相余裕(最低45°以上)が必要です。
- ③ 周波数が高いところで十分に減衰する  
リファレンス周波数を十分に減衰できていないと、出力信号からリファレンス周波数だけ離れたところに不要な信号であるスプリアスが発生します。

古典的なループ・フィルタとして、ラグ・フィルタとラグ・リード・フィルタがありますが、これらはどちらもこの三つを同時に満たすことはできません。

三つの条件を同時に満たすには、PLLを3次形以上として設計するループ・フィルタが必要です。〈編集部〉

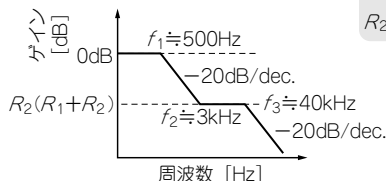
### 性能重視の3次形PLLを実現するループ・フィルタ

- ラグ・リード・フィルタ+高域減衰で実現  
ラグ・リード・フィルタの弱点は高域減衰の少なさ



(a) このようなフィルタ構成を考える

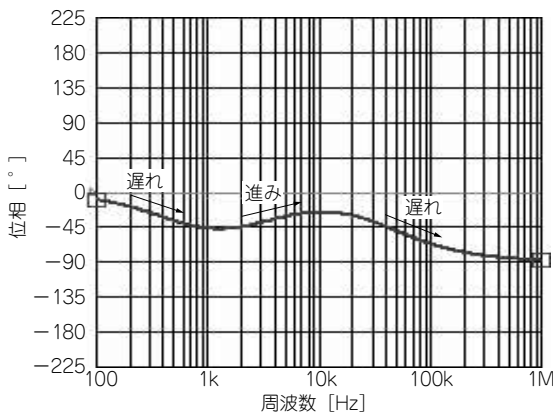
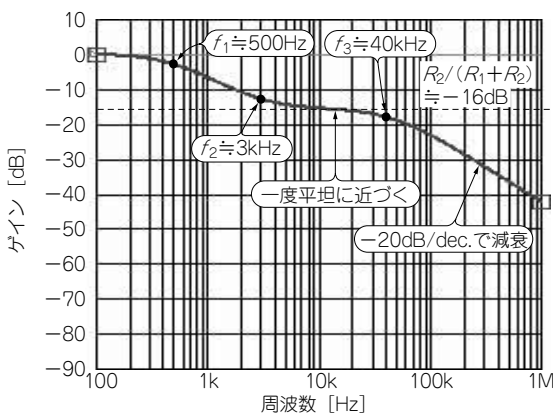
$$\begin{aligned}
 T_1 &= (R_1 + R_2)C_1 \\
 \omega_1 &= 1/T_1 \\
 \therefore f_1 &= \omega_1/2\pi \approx 500\text{Hz} \\
 T_2 &= R_2(C_1 + C_2) \\
 \omega_2 &= 1/T_2 \\
 \therefore f_2 &= \omega_2/2\pi \approx 3\text{kHz} \\
 T_3 &= R_2C_2 \\
 \omega_3 &= 1/T_3 \\
 \therefore f_3 &= \omega_3/2\pi \approx 40\text{kHz} \\
 R_2/(R_1 + R_2) &\approx -16\text{dB}
 \end{aligned}$$



(b) 漸近線で表した特性

なので、リード特性で安定性を確保した後に、高域で再び減衰特性になるフィルタが考えられます。

そのようなフィルタをPLLに用いることで、カットオフ周波数 $f_c$ と位相余裕 $\phi_c$ を独立して設定できるだけでなく、リファレンスもれスプリアスの抑圧も可能になりそうです。この形のループ・フィルタを使ったPLLの一巡伝達関数は、3次式で表すことができ(コラム参照)、3次形のループ・フィルタといえます。



(c) 周波数特性

図19-1 ラグ・リード・フィルタの高域に減衰特性をもたせるラグ・リード・ラグ・フィルタという

● フィルタ単体での特性

図19-1(a)に回路図を示します。図19-1(b)には、特性を簡略化した漸近線で記しました。

図19-1(c)に周波数特性を示します。 $f_1 \approx 500$  Hz付近ではラグ特性で、ゲインは落ちていき、位相は $90^\circ$ に向かって遅れていきます。

$f_2 \approx 3$  kHzあたりからリード特性になります。ゲインは平坦になり、位相は進んで $0^\circ$ に向かって変化していきます。

$f_3 \approx 40$  kHz近辺から再びラグ特性になります。ゲインは $-20$  dB/dec.で落ちていきます。位相も $0.1f_3$ から再び $90^\circ$ に向かって遅れていきます。

● 3次形PLLの総合特性

図19-2(a)には、図19-1(a)のパスシブ・フィルタを用いて3次形にしたPLLのモデル図を示します。

図19-1に示したパスシブ・フィルタの特性を見るとわかるように、位相が最大に戻る周波数は $\sqrt{f_2 f_3}$ です。ループのカットオフ周波数 $f_c = \sqrt{f_2 f_3}$ となるように設定すれば、位相余裕をもっとも大きく増すことができます。

平坦部のゲインは $R_2/(R_1 + R_2)$ です。カットオフ周波数 $f_c$ でのゲインが $R_2/(R_1 + R_2)$ となるようにフィルタの定数を選ぶことになります。

図19-1と同じ $f_1 \approx 500$  Hz,  $f_2 \approx 3$  kHz,  $f_3 \approx 40$  kHzにすることで、図19-2(b)に示す特性のPLLを構成することができます。

● リファレンス周波数でも十分な減衰が得られる

ラグ・リード・フィルタと同じく、 $f_c \approx 10$  kHzで位相余裕 $\phi_C \approx 60^\circ$ の特性が得られます。

さらにラグ・リード・フィルタでは得られなかった1 MHz離れでの減衰量も十分にとれているので、リファレンスもれスプリアスを抑圧できます。

● カットオフ周波数 $f_c$ を $f_N$ より高くできない

3次形のPLLとすることで、カットオフ周波数、位

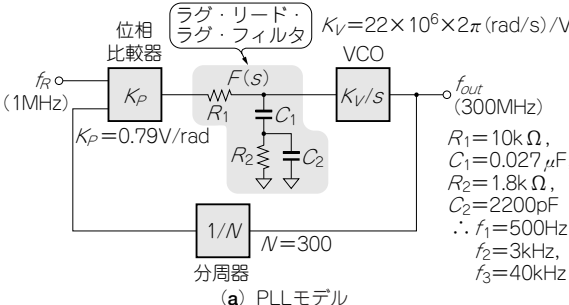


図19-2 3次形PLLを構成することができる  
カットオフ周波数、位相余裕、高域減衰の三つが満たされている

相余裕、スプリアス抑圧の三つの要求を満たす設計が可能となりました。しかし、まだ万能ではありません。

ここまでの例では、カットオフ周波数 $f_c \approx 10$  kHzとして説明してきました。では、 $f_c \approx 100$  kHzの広帯域なPLLを構成できるでしょうか？

残念ながら、このパスシブ・フィルタでは構成できません。図19-2(b)を見ると、「VCO + 位相比較器 + 分周器の合成特性」がゲイン1倍(0 dB)となる周波数 $f_N$ は57.9 kHzです。

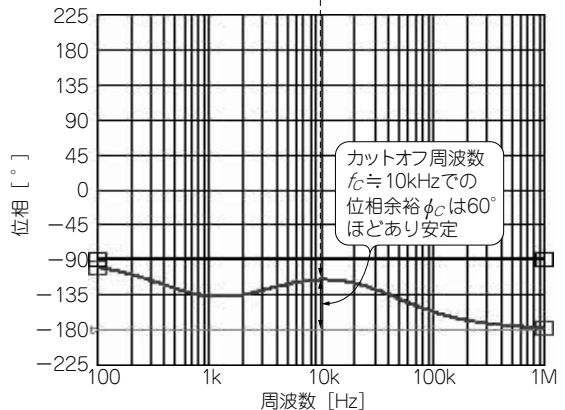
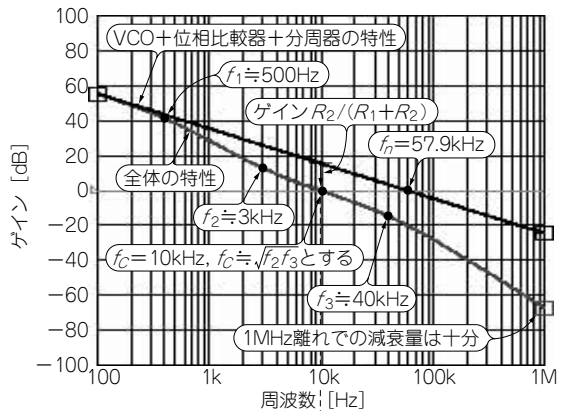
パスシブ・フィルタでは、 $f_c$ を $f_N$ 以上の周波数にできません。つまり、パスシブ・フィルタでは広帯域のPLLを構成できない場合があります。

広帯域を可能にするには  
アクティブ化が必要

どのようにすれば広帯域の(例えば $f_c \approx 100$  kHzの)PLLを組むことができるでしょうか？

● どこかでゲインを増やす必要がある

一つの方法としては、図19-3に示すように、PLL



(b) オープン・ループの周波数特性