

# 個別部品で組み立てて動作原理から設計法までを理解する PLL 周波数シンセサイザの設計法徹底解説

## 第20回 過渡応答の性能を表す二つの指標

～周波数の切り替え時に何が起こるか～

小宮 浩  
Hiroshi Comiya

今回は、PLL 周波数シンセサイザの時間軸での応答特性がなぜ問題になるのかを解説し、時間軸の応答特性を表現するために必要な値、整定時間  $T_S$ 、減衰係数  $\zeta$ 、固有周波数  $\omega_D$  などの意味を解説します。

PLL 周波数シンセサイザは、システムで必要とするさまざまな周波数を正確に得るために使われます。マイコンのクロックのように一定の周波数を出し続ける用途もあれば、無線 LAN のように頻繁に周波数を切り替える用途もあります。

無線 LAN、第三代携帯電話、デジタル放送など、ここ 10 年ほどの間に出てきているデジタル化された通信/放送では、周波数を高速に切り替える PLL 周波数シンセサイザの技術が必須になっています。

周波数を頻繁に切り替える用途では、周波数特性では把握しにくい時間軸での応答特性が問題になってきます。

〈編集部〉

### 周波数を切り替えても すぐには目的の周波数にならない

私が仕事を始めたころの PLL 周波数シンセサイザでは、PLL 負帰還を安定に動かすだけで、要求仕様をほとんど満足できました。

しかし最近の PLL 周波数シンセサイザでは、適切なスペクトラム純度、つまりスプリアスや位相雑音が小さいことに対する要求に加えて、時間軸で高速に応答することへの要求も厳しくなっています。

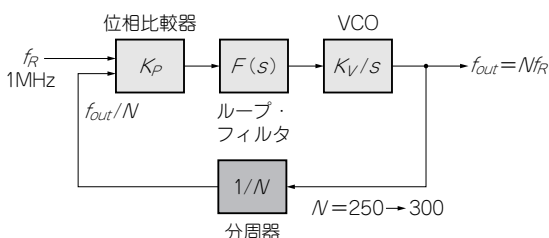


図 20-1 PLL 周波数シンセサイザの出力周波数を変える  
分周器の分周数  $N$  を変えれば出力周波数が変わる

### ● 周波数を切り替えるには分周数 $N$ を変える

図 20-1 は、PLL 周波数シンセサイザのモデル図です。

基準周波数  $f_R = 1$  MHz で動作中に、分周器の分周数  $N = 250 \rightarrow 300$  に変更します。PLL 負帰還が構成されていれば、この変更により出力周波数  $f_{out}$  は 250 MHz  $\rightarrow$  300 MHz に変化します。

### ● 一瞬で周波数が切り替わるのが理想だが…

図 20-2 に、出力周波数が切り替わるときの様子を横軸を時間、縦軸を周波数として表しました。

PLL はフィードバック制御の一種です。このような帰還回路の理想は、目標値が変化したとき、出力がその値にすぐに追従することです。

PLL 周波数シンセサイザでも、出力周波数を変更するために分周器の  $N$  の値を変えたならば、それにすぐに追従して、常に制御量(出力周波数)を目標値(設定周波数)に一致できることが理想です。

例えば、250 だった  $N$  の値を 300 にすれば、それと同時に 300 MHz を出力できることが理想です。図 20-2 の灰色の線で示すような動作です。250 MHz から 300 MHz へ直線的に変化する動作です。

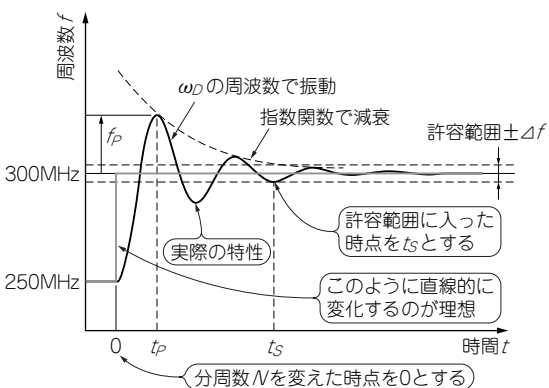


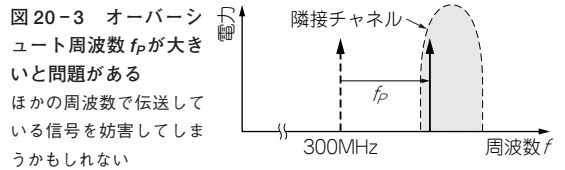
図 20-2 理想的な応答特性と現実の応答特性の違い  
現実の応答特性はリングングがあり、目標値になるまで時間がかかる

● 実際には行き過ぎて振動しながら目標へ近づく

実際には図 20-2 の黒色の線に示すように、周波数は遅れを伴って変化し、そのうえ目標値を行き過ぎる場合がほとんどです。

ここでは、周波数の行き過ぎ(オーバーシュート)の最大値  $f_p$  が時刻  $t_p$  で生じると決めます。もし無線機器で周波数チャンネルの設定に PLL を使っているならば、このオーバーシュートした周波数  $f_p$  は、隣のチャンネルの周波数になってしまうこともありえます(図 20-3)。他の機器が伝送している信号を妨害してしまうかもしれません。

さらに、オーバーシュートした後は、一定の周波数  $\omega_D$  で振動しながら、指数関数による減衰特性で目標の値に収束します。目標の周波数となるまでに、一定の時間がかかります。



● 時間軸での性能を表現する指標

目標周波数にどれだけ早く近づくかを表現する方法を決めておきましょう。

通常は、許容範囲  $\pm \Delta f$  [Hz] ( $\pm \Delta\%$ ) を決めて、これに収まるまでの時間を整定時間  $T_S$  [sec] (settling time) として性能を表現します。例えば、許容範囲  $\Delta f = \pm 100$  Hz で  $T_S \leq 10$  ms, といった表現方法です。

● 目的に応じて必要な性能はさまざま

この性能は、PLL 周波数シンセサイザが使われる

位相をロックすることで周波数は一致する

PLL は位相をロックします。つまり、PLL が働くことによって、位相変化が一定になります。

このことが、なぜ周波数が一致することになるのでしょうか。簡単な例で整理します。

図 20-A(a) に示す構成のように、2 Hz を基準周波数として 20 Hz を出力している PLL 回路を考えます。

VCO の周波数が温度変化などで動いて、位相比較器の入力周波数で、基準信号周波数  $f_R$  より少し高い周波数  $f_N$  になったとします。

位相比較器に入る信号を正弦波とすると、 $f_R$  と  $f_N$  は図 20-A(b) に示す時間軸での波形となります。これを位相の変化量で表すと、図 20-A(c) となります。つまり、位相変化も基準信号位相  $\theta_R$  より少し進んだ位相  $\theta_N$  となります。

そこで、PLL はこの位相変化を一定にするように働きはじめ、 $\theta_N = \theta_R$  になるように VCO の発振周波数を調整します。その結果、周波数も  $f_R = f_N$

に一致することになります。PLL の出力では  $N$  倍された周波数となり、20 Hz を維持します。

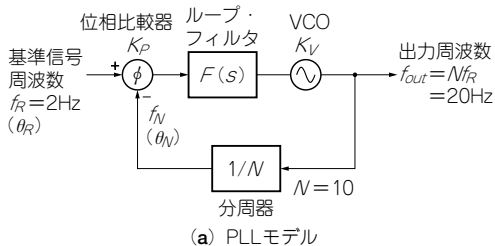
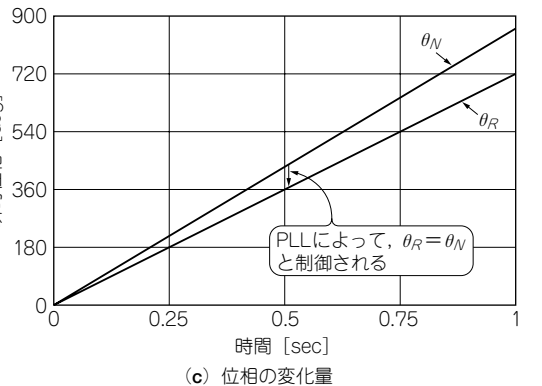
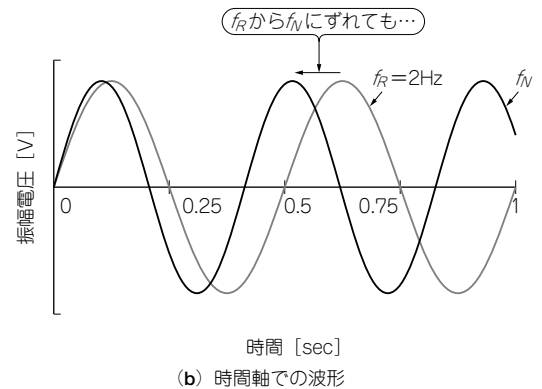


図 20-A 位相が一致するように動作することで周波数も一致する  $\theta_R$  と  $\theta_N$  が一致するので  $f_R$  と  $f_N$  も一致、出力周波数は  $Nf_R$  になる