

C6711 の概要からサンプル・プログラム
解説まで

DSP スターター・キットの 使い方

山口 晶大
Akio Yamaguchi

本章で取り上げる内容は、

- 浮動小数点 DSP TMS320C6711 の概要
- TMS320C6711 の演算処理の特徴
- C6711 DSK のハードウェア概要
- サンプル・プログラム **through1** の解説

です。DSP のプログラミングの要点についても紹介します。

なお誌面の都合から、C6711DSK の C コンパイラ Code Composer Studio (以下、DSK 版 CCS) の、

- インストール
- ユーザ・プログラムの制作
- オプティマイズ・オプションの設定
- デバッグ機能

に関する解説を割愛しました。これらは付録 CD-ROM に収録したので、必要に応じて参照してください。

32 ビット浮動小数点 DSP TMS320C6711 の概要

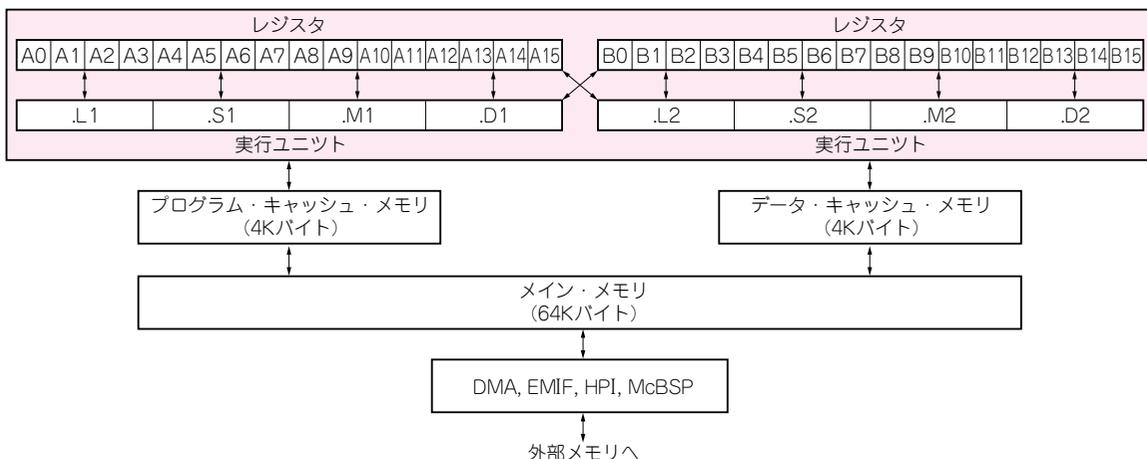
● はじめに

DSP 評価キット C6711 DSK には 32 ビット浮動小数点 DSP である TMS320C6711 が搭載されています (以下、C6711)。

さらに高機能の TMS320C64××、固定小数点の TMS320C62×× とを合わせた TMS320C6000 シリーズはテキサス・インスツルメンツ社 (以下、TI) の最新の高性能 DSP ファミリです。

C6711 は高性能を実現するために、従来の DSP と比較すると複雑なアーキテクチャをもっていて、いわゆる教科書的な DSP のハードウェア構成とは異なるところが多々あります。ここでは簡単に C6711 のハードウェア構成とその特徴について説明していきます。

〈図1〉 TMS320C6711 のレジスタ、演算器、内部メモリ構成の概略



Keywords

C6711 DSK, 32 ビット浮動小数点 DSP, TMS320C6711, キャッシュ・メモリ, マルチポート RAM, ハーバード・アーキテクチャ, FLOPS, Floating Operations Per Second, MMAC, Multiply Accumlate, パイプライン処理, ライブラリ, CCS, Code Composer Studio, DSK, DSP スターター・キット, JTAG エミュレーション, A-D/D-A コンバータ, チップ・イネーブル, 逐次比較 ADC, $\Delta\Sigma$ 型 ADC, FIFO, First In First Out, リング・バッファ, EMIF, External Memory InterFace, BSL.

■ TMS320C6711 DSP コアの 三つの特徴

まず初めに、C6711のDSPコアのハードウェア構成を調べてみましょう。C6711 DSPコアは、従来のDSPと比較して以下のような特徴があります。

(1) 複数の演算器搭載

C6711は、**二つの積和演算回路(乗算器) 含め合計8個の演算器を内蔵**しています。図1に示すようにレジスタ、演算器は大きく二つのグループに分かれています。従来のDSPは、おもにLSIの集積度の制約のため、一つの積和演算器しか搭載できませんでした。

(2) キャッシュ・メモリも搭載

C6711は、汎用の高性能CPU並みに合計8Kバイト(4Kバイト+4Kバイト)のキャッシュ・メモリを搭載しています。メイン・メモリの容量は64Kバイトです。メイン・メモリも設定によりキャッシュとして使用することも可能ですが、本記事のプログラムではキャッシュとしては使っていません。

▶ キャッシュとは

一度C6711が外部メモリから読み込んで演算に使ったデータは、キャッシュ・メモリに蓄えられます。次にそのデータを必要とする演算をするときは、外部メモリではなくDSP内部のキャッシュ・メモリからデ

ータを読んで使います。そのため**低速の外部メモリをアクセスせずに済みます**から、処理速度向上の効果がありません。ただし、キャッシュ・メモリの容量を越えるデータを外部から次々に読み込んで演算処理をするような場合には、十分な高速化の効果は得られません。

(3) メイン・メモリはマルチポートRAMで構成

図2に示すように、DSPの特徴であるハーバード・アーキテクチャには、独立した二つのメモリ(プログラム・メモリ、データ・メモリ)とバスが存在します。しかし、C6711(図1)には一つのメイン・メモリしかありません。

一見、C6711のアーキテクチャはDSPの定義に当てはまらないかのようにですが、図3に示すように実は**メイン・メモリがマルチポート・メモリで構成されている**ために、1クロックで同時に二つの異なるアドレスからの読み書きが可能です。したがってメモリが一つでも、図2の教科書的なハーバード・アーキテクチャと同様に $W \leftarrow W + X \times Y$ の形の積和演算を1クロックで実行できるのです。

図2のハーバード・アーキテクチャでは、完全にプログラム・メモリ領域とデータ・メモリ領域が分離されていますが、**C6711(図3)ではメイン・メモリ上にプログラムとデータを混在して配置することが可能**です。

C6711と同様に、メイン・メモリがマルチポート・

〈イラスト〉マイコン vs DSP

