



第4章 CMOSプロセスの中に 新しいタイプの画素構造をもつ

VMIS イメージ・センサの 動作原理

小森 寛文
Hirofumi Komori

最近、携帯電話機や携帯情報端末機のカメラという新しい市場でのCCDイメージ・センサとCMOSイメージ・センサの競争が話題となっています。

CMOSイメージ・センサは、低電圧、低消費電力、さらにさまざまな機能をもつ周辺回路を同一チップ上に集積できるという特徴もっています。

周辺回路を集積するという事は、撮像素子を誰もが使いやすく提供できるようになるということです。それは、信号処理を行うアナログ回路やデジタル回路、画像処理を行うデジタル回路をブラック・ボックスとして手に入れられるからです。撮像素子を利用される読者の方々は、撮像素子の応用に専念できます。

しかし、CMOSイメージ・センサは、高感度、低雑音というCCDイメージ・センサの優れた画質にまだ追いついていません。

VMIS イメージ・センサとは？

● VMISとは

しきい値変調型撮像素子であるVMISイメージ・センサ(Threshold Voltage Modulation Image Sensor)は、周辺回路を集積するうえで非常に優れた半導体技術であるCMOS技術を使い、CCDイメージ・センサ並みの画質を達成するために考えられたイメージ・センサの一つです。これは、従来のCMOSプロセスの中に新しいタイプの画素構造もっています。

● イメージ・センサへの要求

CCDイメージ・センサは高い画質レベルを達成していますが、システム・コストが高くなる場所に課題があります。反面、CMOSイメージ・センサはシステム・コストを低くできますが、画質がまだまだCCDイメージ・センサに追いついていません。VMIS

イメージ・センサはちょうどそれらの中ほどに位置しています。VMISイメージ・センサは、両者の長所を両立するべく開発を進めています。

● CMOSイメージ・センサの課題

最近のCMOSイメージ・センサの技術的課題は、 $5.0\mu\text{m}$ よりも小さな画素サイズとなってきたときに、

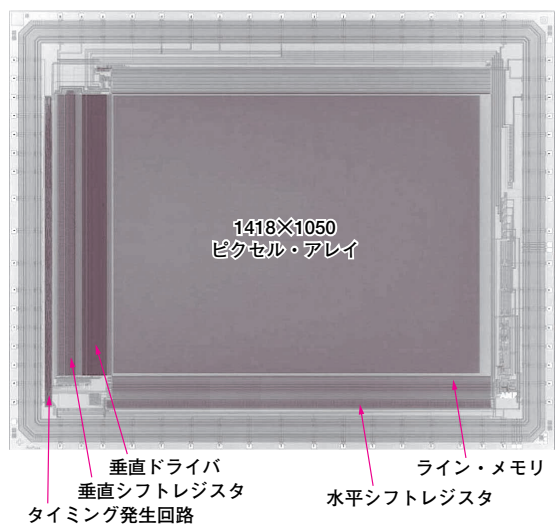
- (1) ランダム雑音や固定パターン雑音を下げる
- (2) 良い色再現性を得る

ことです。これらはFDアンプ(CMOSイメージ・センサの電荷-電圧変換部)の kTC 雑音やシリコン界面からの暗電流雑音、画素構造からくる分光特性などに問題があります。

● VMISイメージ・センサの開発目標

これらCMOSイメージ・センサの技術的課題を解決するために、新しい画素構造をもつVMISイメー

〈図1〉150万画素のVMISイメージ・センサ [イノテック(株)]



Keywords

Threshold Voltage Modulation Image Sensor, 低暗電流, kTC 雑音, 垂直駆動回路, 雑音除去回路, ライン・メモリ, フォト・ダイオード, リング型FET, ホール・ポケット, 蓄積, 変調, クリア, 露光時間, フローティングPウェル, ピンニング, フローティング・ディフュージョン・アンプ, VMIS, 空乏層, 光電変換.

ジ・センサの技術開発目標を次のようにまとめました。

(1) 高い色再現性を得る分光特性と高感度

従来の CCD イメージ・センサに近い、完全に空乏化したウェルで構成される埋め込みフォト・ダイオードを採用します。

(2) 低暗電流

埋め込みフォト・ダイオード構造とゲート表面を電子(信号と反対の極性をもつ)で満たします。いわゆるピンニング状態を作り出すことにより、シリコン表面から発生してくる暗電流成分を抑制します。

(3) kTC雑音の除去

ランダム雑音を減らすために、ホール・ポケットのホール、つまり信号電荷をウェルから基板へ完全にクリアします。これにより kTC 雑音を除去します。

● CMOS 技術で開発した VMIS イメージ・センサ

この三つの目標を目指す新しい画素構造を使い開発した 4.2 μm の画素サイズをもつ 150 万画素の VMIS イメージ・センサを図 1 に示します。このチップは、単層ポリシリコン・3層金属の 0.35 μm の設計ルールをもった CMOS プロセス技術によって作られました。

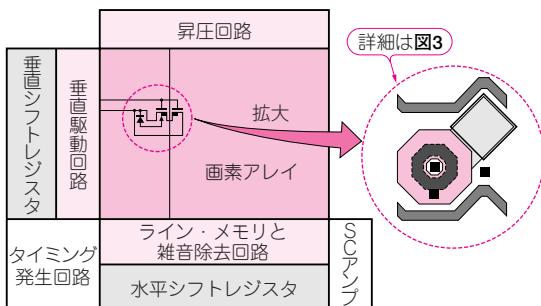
画素構造と画素単体での動作概要

図 1 で示したセンサ・チップのブロック図と画素の拡大平面図を図 2 に示します。

このチップは、

- 150 万画素 (1418 × 1050) のカラーの画素アレイ部
- 画素を走査するための CMOS 回路で作られた水平と垂直のシフト・レジスタ
- 垂直駆動回路
- 雑音除去回路
- ライン・メモリ
- 最高 30 MHz のスピードでライン・メモリから信号を読み出すための高増幅スイッチト・キャパシタ・アンプ
- これら回路に必要な駆動パルスを生成するタイミング発生回路

〈図 2〉 150 万画素の VMIS イメージ・センサのブロック図



で構成されます。これは、CMOS イメージ・センサとほぼ同じ構成です。VMIS イメージ・センサの特徴は、画素の構造にあります。

VMIS 素子の上面からみた画素の構造

● 画素は N-P-N 構造の埋め込みフォト・ダイオード

図 3 に VMIS イメージ・センサの画素を拡大した平面図を示し、画素の構造を説明します。VMIS イメージ・センサの画素は、フローティング P ウェルを基板としてもつリング形ポリシリコン・ゲートの N-MOSFET 一つ(図中の赤い正八角形の部分)と、その FET のドレインとなる表面の N⁺ 層(図中の赤い正八角形の周りの部分)を共有する N-P-N 構造の埋め込みフォト・ダイオードで成り立っており、図中の数値のように 4.2 μm 角の画素サイズが 0.35 μm の CMOS プロセス技術で達成されています。

● ゲート電極とソース電極

画素の表面全体にある N⁺ 層は、リング型 FET のドレイン電極となります。正八角形の中心部はポリシリコン・ゲートに穴が開いており、これがリング型 FET のソース電極となります。正八角形のリング型 FET は、ゲート下のシリコン表面に N 層をもつディプレッション型 FET です。

● 局所的に濃度を高めた P 型領域がホール・ポケット

リング型 FET のゲート下の局所的に基板濃度を高めた P 型領域を「ホール・ポケット」と呼んでいます。これはリング型ゲートの中心にあるソースの周りに置かれています。

● P⁺画素分離部は上下の画素を電氣的に分離する

各画素の上下にある P⁺ 画素分離部は、P⁺ 不純物領域と 0V に加えられたポリシリコン・ゲート電極により、上下の画素を電氣的に分離しています。

センサ領域中の画素やトランジスタなどの素子の分離に LOCOS (Local Oxidation of Silicon) や STI

〈図 3〉 VMIS イメージ・センサの画素を拡大した平面図

