



第8章 シリアル・インターフェースによる データ送受信回路を例に学ぶ

受信しながら送信する 並列処理の回路を作る

森岡 澄夫
Sumio Morioka

● 連続してやってくるデータはところてん式動作で 処理する

第7章では、ステート・マシンを使って複数の機能回路(タイマ回路とメロディ回路)を制御する回路を作り、それらが動作する順番をコントロールしました。本章で作るのは、画像や音声、データ通信のように連続的な信号を扱う回路です。このタイプの回路の多くは、**データを受信して加工して送信するという一連の処理を同時に行います**。そして、これら三つの処理の間には依存関係があります。つまり、データを受け取らないと加工はできないし、加工してからでないと送信はできません。第7章のタイマ回路とメロディ回路の間には、そのような依存関係はありませんでした。

● ステート・マシンは使えない

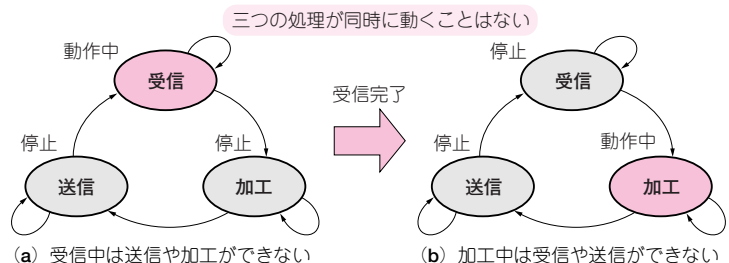
このように依存関係のある複数の処理の制御回路をステート・マシンで作ると、図1に示すように、データ加工中は受信できなったり、送信中は加工できないという状況になります。音声や画像、通信データは連続的な信号ですから、送信、加工、受信のうちのどれか一つでも処理を止めるわけにはいきません。

ステート・マシンによる動作制御は、互いに依存関係のある複数の回路ブロックを並列に動作させたいときには不便なのです。

● 例題はシリアル・ポートを使ったデータの送受信

HDL 트레이ナとパソコンのシリアル・ポートを接

〈図1〉ステート・マシンが得意なのは複数の回路ブロックを一つずつ動作させる制御



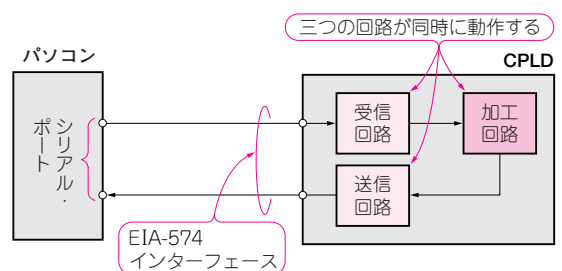
続して、8ビットのデータを送受信してみます。

この回路は、受信回路と送信回路が同時に動作する必要があるので、図2に示すように**ステート・マシンを使わず、受信、加工、送信の各機能ブロックを順番につなぎます**。各機能ブロックは並列に動作しており、自分のやるべき処理が終わったら、次の相手がデータを受け取れるかを確認してデータを渡します。そして、渡し終えたらまた自分のやるべき処理を実行します。

データ送受信の実験

リスト1に、本稿で作った回路の Verilog - HDL ソースを示します。少し大きいですが、追って各部の動

〈図2〉EIA-574 インターフェースを利用したデータ送受信回路…受信回路、加工回路、送信回路の順で接続する



Keywords

ASCII コード、スタート・ビット、シフトレジスタ、セットアップ違反、ホールド・タイム違反、シンクロナイザ、NOR ゲート、ハンドシェイク、ゼロ検出回路、レディ信号、アクノリッジ信号。

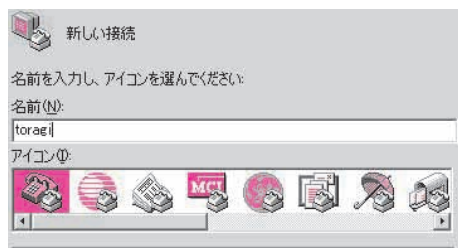
作について説明します。

パソコンの平行・ポートにHDLトレーナを接続します。そして、Verilog-HDLソース(**transmit.v**, **transmit.ucf**)を論理合成してHDLトレーナに転送します。次に、HDLトレーナのシリアル・コネクタをパソコンのシリアル・ポート(EIA-574)に接続します。ソースは、CQ出版(株)のホームページからダウンロードできます。

パソコン上でハイパー・ターミナルを立ち上げ、新しい接続に名前を適当に付けてください。図3のように設定します。設定が終わったら、HDLトレーナのSW₅を押してリセットします。

キーボードで適当に、例えば“abc…”とアルファベットを打ち込みます。パソコンのシリアル・ポートからHDLトレーナ上のCPLDに“abc…”の文字に対応するASCIIコードが送られます。CPLDは、このASCIIコードに1を加算して、シリアル・ポート経由でパソコンに返信します。パソコンには“bcd…”というふうに入力した文字の次のコードに相当する文字が表示(図4)されます。また、LEDの下2桁に、受信した文字のASCIIコードが表示されます。

〈図3〉 ハイパー・ターミナルの設定



(a) 新規接続を追加する



(b) パソコンの接続ポートをCOM1に設定する



(c) シリアル・ポートの通信設定

シリアル・データ送信回路を作る

● 転送速度は9600 bps, データ長は8ビット

本回路では、データの送信は8ビット単位、パリティなし、9600 bpsで行います。図5に示すように、CPLDからパソコンのRxD端子へは、9600Hzの周波数でスタート・ビット(ITXDを“L”) + データ + ストップ・ビット(“H”)の計10ビットのデータを送り出します。データはLSBから順に送ります。データを送っていない間は、パソコンのRxDが“L”になるようにします。

● 制御回路とシフトレジスタを組み合わせる

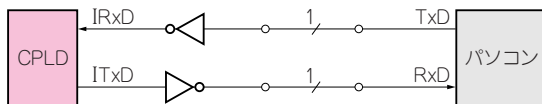
図6に示すように、送信回路はデータを貯めておくシフトレジスタと、その制御回路で構成します。シフトレジスタの右端ビットはCPLDのITxDラインにつながっています。制御回路はステート・マシンで作ります。図6(b)にステート・ダイアグラムを、リスト1の④部にVerilog-HDLを示します。

シフトレジスタの回路は図7(受信回路のものと同じ)のようなもので、複数のDフリップフロップを直列に接続したものです。これらのフリップフロップに

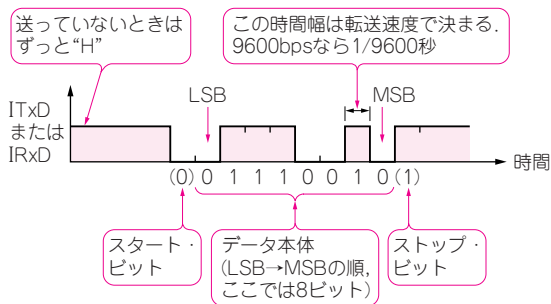
〈図4〉 “abc…”とキーボードを叩くと“bcd…”という文字がエコーバックされ画面に表示される



〈図5〉 送受信するデータの構成



(a) パソコンのシリアル・ポート(EIA-574)とCPLDとの接続図



(b) 通信中のデータの様子