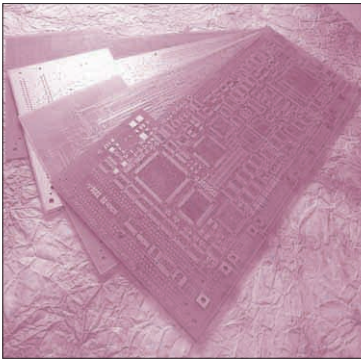




第5章 反射や放射ノイズを抑えるための 実践テクニック

高速デジタル回路基板の 設計ポイント

中島 未来
Mirai Nakajima

■ はじめに

高速デジタル回路の書籍といえば、CQ出版の「高速デジタル回路実装ノウハウ」⁽¹⁾があります。この本は実験データを加えて良くまとめた本格的なものなので、ぜひ一読されることをお勧めします。単なるノイズ・シミュレータやフィルタの販売目的ではないところも好感がもてます。

しかし本の内容に「4層板はノイズ的にだめだ」とか、「ビアは使うな」などと書かれると、「それで基板が設計できるかい!」と聞き直りたくなります。そこで、実験的に確認しました。

読者の皆さんが扱う回路は、比較的小型のCMOS回路が大半を占めるとしますので、それに沿った現実的な手法を考えてみます。

高速デジタル回路基板設計の ポイント 20

高速デジタル回路の解説では、小難しい数式などが並びがちで、読むだけで疲れてしまいます。そこで、本稿ではポイントだけを示します。詳しいところは稿末に示した参考文献などを参照してください。また、ここでの説明は、基板材料がFR-4の場合に限定しています。

1 基板の誘電率や誘電正接は低いほうが良い

誘電率が高いと電磁界が通りやすく、ノイズの影響を受けやすくなります。一般のFR-4は誘電率4.8、誘電正接0.015程度ですが、低誘電率タイプのFR-4は誘電率3.5、誘電正接0.010程度です。ただし、そのぶんコストは高くなります。

2 FR-4の周波数限界は2.5 G ~ 5 GHz

一昔前、基板上の信号速度は60 MHz程度が限界といわれていましたが、いまやパソコンのマザー・ボードでは400 MHz以上の速度のバスが走り回っています。ボードを見る限りでは、インピーダンス60 Ω程度のパターンをシールドで囲んだ、普通の等長パターンが走っています。前述の解説書では2.5 G ~ 5 GHzが信号伝送の物理的限界としています。

3 多層基板を利用する

内層に電源層がある多層基板を利用すると、

- 電源が安定する
- 回路のインピーダンスが下がる
- 配線長を短くできる

など、数々のメリットがあります。単に同じ面積の基板でコストを比較すると、当然コストアップとなります。しかし、基板の小型化やノイズ対策の簡略化などをあわせて、トータルのコストで判断すると、それほど大きな差は出ません。隙間だらけの両面基板を使用するよりは、小型の4層基板で高密度配線をしたほうが好ましいと思います。

表1は、両面基板と4層基板のコストの一例です。

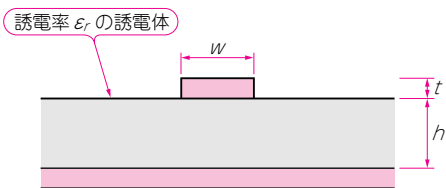
〈表1〉両面基板と4層基板のコスト比較

基板サイズ [mm]	1枚当たりの単価	
	両面基板	4層基板
59×22×0.8	30円(1万枚製造時)	—
48×42×1.2	80円(500枚製造時)	—
150×130×1.6	680円(100枚製造時)	1,200円(100枚製造時)
230×130×1.6	940円(100枚製造時)	2,000円(100枚製造時)
299×178×1.6	—	1,540円(1000枚製造時)

Keywords

高速デジタル回路、CMOSデバイス、誘電率、誘電正接、FR-4、多層基板、マイクロストリップ・ライン、ストリップ・ライン、インピーダンス、インピーダンス整合、整合回路、ダンピング抵抗、直列終端、ベタ・パターン、グラウンド・シールド、内層逃げ穴、スリット、一筆配線、表面実装デバイス、等長配線、74AC541、74VHC541。

〈図1〉 マイクロストリップ・ラインとストリップ・ライン

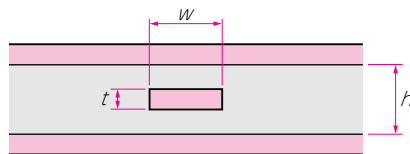


インピーダンス Z_0 は、

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.414}} \times \log_{10} \frac{5.98h}{0.8w + t}$$

$\epsilon_r = 4.8$, $w = 0.1\text{mm}$, $h = 0.4\text{mm}$, $t = 0.035\text{mm}$ のとき,
 $Z_0 \approx 106\Omega$
 $w = 0.7\text{mm}$ とすると,
 $Z_0 \approx 48.5\Omega$
 $h = 0.2\text{mm}$, $w = 0.1\text{mm}$ とすると,
 $Z_0 \approx 82\Omega$

(a) マイクロストリップ・ライン



インピーダンス Z_0 は、

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \times \log_{10} \frac{4h}{0.67\pi w \left(0.8 + \frac{t}{w}\right)}$$

$\epsilon_r = 4.8$, $w = 0.12\text{mm}$, $h = 0.4\text{mm}$, $t = 0.035\text{mm}$ のとき,
 $Z_0 \approx 48\Omega$

(b) ストリップ・ライン

単純に計算すると、1円当たりの面積は両面基板では30 mm²、4層基板では15 mm²程度ですから、**4層基板の面積を1/2にすれば基板単価は並びます。**

購入方法によってはもっと差が広がりますが、それでも4倍以上には広がりません。差が大きい場合でも、基板サイズを1/4にすることを検討したほうが良いと思います。

4 マイクロストリップ・ラインやストリップ・ラインを利用する

CMOSデバイスの出力インピーダンスは50～100 Ω程度といわれています。そこで図1に示すようなマイクロストリップ・ラインやストリップ・ラインを形成して、**パターン・インピーダンスを50～100 Ω程度に揃えます。**

● インピーダンスの計算法

基板メーカーにインピーダンスの指定を行うと、それなりの作業が発生するためコストアップを招きます。パターン設計段階でインピーダンスを50～100 Ωに揃えるには、あらかじめ**基板メーカーに標準の層厚を確認してからパターン幅を決めるか、層厚を指定します。**わざわざ基板メーカーに指示しなくても、それなりの効果が期待できます。

計算式は図1を参照してください。マイクロストリップ・ラインの場合、**パターン幅0.1 mmで絶縁層の厚みを0.2 mmとすると80 Ω、絶縁層の厚みを0.4 mmとすると100 Ω程度に配線インピーダンスがそろいます。**なお、実際のパターンの仕上がり幅は少し細くなります。**パターン幅を0.15 mm程度にすると、仕上がり幅は0.1 mm程度になります。**

信号パターンにグラウンド・シールドを設ける場合は別の計算式が必要になりますが、インピーダンスは

それほど大きく変わりません。また両面基板でも、対面をグラウンドのベタ・パターンにすれば、一定の効果が得られます。

● ストリップ・ラインはノイズ対策に効果大

ストリップ・ラインには、

- 8層以上ないと効果的に構成できない
- 配線容量が2 pF/cmと大きいので高速な信号にはやや向かない

など不利な面もあります。しかし、ノイズ対策としてはもっとも有利な配線と考えられます。

5 4層構成のときは2層目をグラウンドにする

グラウンド層は、電源層に比べてノイズの低減効果が大きいといわれています。そこで図2に示すように、**2層目をグラウンド層として、部品面信号層を中心に高速配線を行います。**つまり高速な配線はすべて部品面上に構成します。

6 終端抵抗でインピーダンスを整合する

● 一般的なインピーダンス整合

ICは出力抵抗が小さく入力抵抗は大きいので、**入**

〈図2〉 4層構成のときは2層目をグラウンドにする

