

数十 kHz のサンプリング・レートで
20 ビット以上の分解能が得られる時代

ΔΣ 型 A - D コンバータの 動作原理と使い方

清水 巖
Iwao Shimizu

● デジタル・テスタは 500000 カウントの時代

私の使用しているデジタル・マルチメータは年代物で、かれこれ 20 年以上前のものです。

昨年から、そろそろ手頃なデジタル・テスタでも購入しようかと、各社のホーム・ページを覗いていました。すると「500000 カウント」という文字が目に入ってきました。「5000 カウントの見間違いでは？」と思って調べてみると、他社からも同じようなスペックの製品が発売されています。

▶ ΔΣ 型 ADC の高性能化によって積分型はほとんどなくなった

これまでの常識では、4000 カウントくらいまでがデジタル・テスタの仕様でした。このように高分解能になった理由は、内蔵の A - D コンバータ（以下 ADC）が積分型から ΔΣ 型に取って代わったことによります。

例えば、三和電気計器のカタログから動作方式の項目を見てみると、従来の型式は 2 重積分方式と書かれています。最近はすべて ΔΣ 方式と書かれています。もちろん変換方式を明記していないメーカーもありますが、三和電気計器のカタログからいえることは、**4000 カウントを越えるものは、どのメーカーでもすべて ΔΣ 型と考えて間違いはない**ということです。

● 高分解能 ADC といえば ΔΣ 型

アナログ・デバイス社、テキサス・インスツルメンツ社（旧パー・ブラウン社）、リニアテクノロジー社、シーラス・ロジック社（旧クリスタル・セミコンダクタ社）などが、計測用の高分解能 ADC を出しており、デジタル・テスタなどにも使われています。

分解能が 16 ビットを越える ADC の変換方式は、サンプリング・レートが数百 kHz 以上のものを除いて、その多くが ΔΣ 型です。なお構造から ΣΔ 型と呼ぶメーカーもあるようです。

高分解能 ADC の特徴を説明することは、ΔΣ 型変換方式の ADC の特徴を説明することだといえます。そこで本稿では、最近、高速化と高分解能化が進んでいる ΔΣ 型の高分解能 ADC の動作原理と、その使い

方のポイントについて解説します。

進化する ΔΣ 型 ADC

● 初期型の ΔΣ 型 ADC …サンプリング・レートは数百 Hz がやっと

1985 年ごろから ΔΣ 型変換方式が注目されるようになってきました。それまでは逐次比較型の 16 ビット ADC が主流でした。逐次比較型は精度を保証するために、製造時にラダー抵抗のトリミングを行う必要があります。その結果、製造コストが高くなり、しかもトリミングしても 16 ビット以上の分解能は望めませんでした。ですから、これ以上分解能を高めるのは無理でした。

初めに市場に出た ΔΣ 型 ADC は 1990 年ごろで、クリスタル・セミコンダクタ社からでした。16 ビット分解能の CS5313 と 24 ビット分解能の CS5330/31 です。CS5330/31 と型名が二つある理由は、ΔΣ 変調回路とデジタル・フィルタ回路が別チップになっているからです。

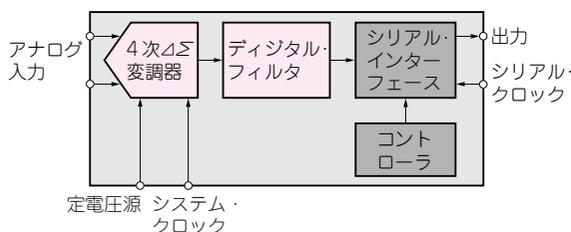
以前の ΔΣ 型 ADC は DC 測定用途が中心で、高速サンプリング・レートのものでも数百 Hz まででした。ADC 内部では高分解能を得るために、サンプリング・レートよりも高速に動作していたのですが、この程度が限界でした。

● 現在の ΔΣ 型 ADC …サンプリング・レートが数十 kHz のものも現れた

しかし、製造技術と回路技術が向上して、数十 kHz のサンプリング・レートも可能になりました。例えば、テキサス・インスツルメンツ社の ADS1251 の最大サンプリング・レートは 20 kHz です。低消費電力化も向上しており、シーラス・ロジック社の CS5509 の消費電力は 1.7 mW しかありません。

今や ΔΣ 型 ADC は、超低消費電力の製品もあれば、高速サンプリング・レートの製品もあり、分解能も 16 ビットから 24 ビットまで、多様な品種がそろっています。

〈図1〉典型的な $\Delta\Sigma$ 型A-Dコンバータの内部ブロック図



$\Delta\Sigma$ 型A-Dコンバータの内部回路と変換の原理

● $\Delta\Sigma$ の意味

図1に示すのは、 $\Delta\Sigma$ 型ADCのブロック図です。 **$\Delta\Sigma$ 型変換方式とはこの $\Delta\Sigma$ 変調回路のことであります。**図1の $\Delta\Sigma$ 型変調回路の部分をもう少し詳しく書いたものを図2に示します。この図が示すように、 Δ とは、比較器(以下、1ビットADCと呼ぶ)によって入力信号と変換結果の平均値との差分(Δ)を求めることを意味します。 Σ は加算器のことを指します。

● アナログ信号がデジタル信号に変換される原理

アナログ入力信号として $\pm 1V$ の正弦波を加えたときの変換動作を図2を使って説明します。

変換開始時のそれぞれの電圧は、1ビットD-Aコンバータ(以下、1ビットDAC)の出力が $0V$ 、 $V_1 = 0V$ 、 $V_2 = 0V$ 、 $V_3 = 0V$ 、 V_{ref} を $\pm 1V$ とします。

アナログ入力信号の第1サンプリング点の電圧が $0.6V$ と仮定しましょう。

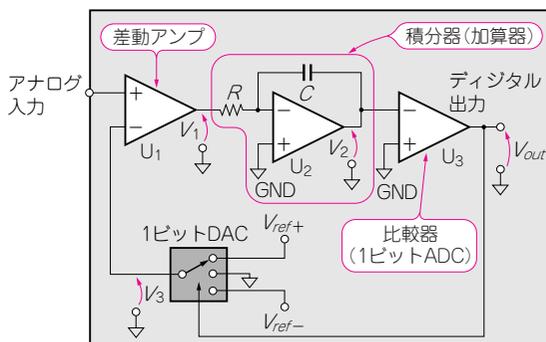
第1クロックでは、差動アンプがアナログ入力電圧とD-Aコンバータ(以下、DAC)の出力電圧 V_3 との差を取り、 $V_1 = 0.6V$ になります。これが積分器に加えられて $V_2 = -0.6V$ となり、1ビットADCの出力は“H”になります。

第2クロックでは、“H”のデジタル出力によって1ビットDACの出力電圧は $V_3 = 1V$ となり、差動アンプは $V_1 = -0.4V$ になります。そして順次、 $V_2 = (-0.6) - (-0.4) = -0.2V$ となり、“H”が出力され

〈表1〉 $\Delta\Sigma$ 変調回路のクロックごとの状態遷移

クロック	第1サンプリング点				第2サンプリング点			
	V_1	V_2	V_{out}	V_3	V_1	V_2	V_{out}	V_3
0(初期化)	0	0	L	0	0	0	L	0
1	0.6	-0.6	H	1	0.7	-0.7	H	1
2	-0.4	-0.2	H	1	-0.3	-0.4	H	1
3	-0.4	0.2	L	-1	-0.3	-0.1	H	1
4	1.6	-1.4	H	1	-0.3	0.2	L	-1
5	-0.4	-1.0	H	1	1.7	-1.5	H	1
6	-0.4	-0.6	H	1	-0.3	-1.2	H	1
7	-0.4	-0.2	H	1	-0.3	-0.9	H	1
8	-0.4	0.2	L	-1	-0.3	-0.6	H	1

〈図2〉アナログ信号を量子化する $\Delta\Sigma$ 変調回路部の等価回路



ます。

次の第2サンプリング点でアナログ入力電圧が $0.7V$ だったとします。

第1クロックでは、差動アンプがアナログ入力電圧とDACの出力電圧 V_3 との差を取り、 $V_1 = 0.7V$ になります。これが積分器に加えられ $V_2 = -0.7V$ となり、1ビットADCによって“H”が出力されます。第2クロックでは、“H”のデジタル出力によって1ビットDACの出力電圧は $V_3 = 1V$ となるため、差動アンプは $V_1 = -0.3V$ になります。そして順次、 $V_2 = (-0.7) - (-0.3) = -0.4V$ となり、“H”が出力されます。

この変換がクロックごとに進みます。一連の状態の変化をまとめると表1のようになります。

ADCの分解能が8ビットの場合は、1ビットADCの出力するビット列は256個になります。

● 積分器の働き

積分器は、図2に示すスイッチと合わせて、1ビットADCのデジタル出力の平均値を取るDACのような働きをします。積分器は、 -6 dB/oct. のゲイン減衰傾度をもっています。

図2に示すように、 $\Delta\Sigma$ 変調回路の帰還ループ内に積分器を入れると、積分器は周波数の低い信号に対して高ゲインですから、 $\Delta\Sigma$ 変調回路としての追従性が高くなります。反対に、周波数の高い信号に対しては低ゲインですから、 $\Delta\Sigma$ 変調回路としての追従性は低くなります。

つまり、 $\Delta\Sigma$ 変調回路のループ内に積分器を挿入するとフィードバックによる打ち消しによって、低域ほど量子化ノイズが低下します。 $\Delta\Sigma$ 変調回路はこの特性を利用して量子化ノイズを低減させています。これを**ノイズ・シェーピング**と言います。

積分器の減衰傾度の特性から、しゃ断周波数を2倍にすれば、元の周波数での減衰度も2倍になるので、より信号帯域内のノイズを低減できます。

● デジタル・フィルタ回路の働き

ほとんどの $\Delta\Sigma$ 型ADCには、 **$\Delta\Sigma$ 変調回路とディ**