

訂正とお詫び

本誌のバック・ナンバーにおいて、下記の箇所に誤りがありました。お詫びして訂正いたします。
(編集部)

■ 2006年12月号

● 特集

p.106 左↑11：2MS/秒→4MS/秒
 p.115 左↓10：DAC₁→ADC₁，左↓11：ADC₁→DAC₁(二つとも)，DAC₁→ADC₁，右↓9：DAC₃→DAC₃
 p.118 右↑7：D-A→A-D
 p.120 右↓4：です。→です(図25)。
 p.121 図27(b) y軸：[dB]→トル
 p.125 表4 枠内注釈
 ↓8：8回目変換の→③8回目変換の，
 ↑6～↑1：③8回目変換の～33との差
 →④Z₄(12)は，7回目変換の4モジュール
 ション・クロック後のZ₃(33)と8回目
 変換の4モジュール・クロック後の
 Z₃(45)の差である。ここで，SINC²
 フィルタの動作は次式で表せる。V_I =
 7.5 V，X = "1110"，Z₄(n = 8) = 12 =
 "1100"。V_I = 7.5 Vは次式で求まる。
 5 V × '1' + 2.5 V × '1' + 1.25 V × '0'
 + 0.625 V × '0' = 7.5 V
 p.145 用語解説 図B：(FET入力型)
 →(バイポーラ入力型)，(バイポーラ入
 力型)→(FET入力型)

p.162 右↓3～↓5：回路～います。→
 削除

p.165 図3-E キャプション：誤差は
 ループ→誤差は開ループ

● 実験で学ぶロジック回路設計

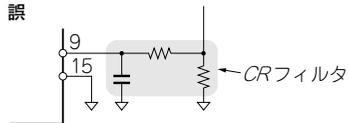
p.211 写真1-1キャプション：モータ
 出力～集めたもの→VGA モニタ出力用
 のインターフェースなどを集めたもの

p.216 左↓1：= (A · B · C + A ~
 → = (A · B · C + A ~

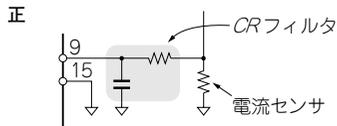
● 小型モータの選定と制御技術

p.228 図5-2 右下部，下図参照

誤



正



● PLL回路の低位相雑音化の一手法

記事全体：f_{VPN}→f_{VPNF}

p.254 左↑11行目から8行目：
 ループ・フィルタの～決めます。

↓
 位相余裕を確保する必要があります。位
 相余裕はロック時間とも関係するので、
 一般的なPLLでは安定度の検討が必要
 な周波数でのフィルタの位相遅れが40
 ~50°程度になるよう設計します。

p.255 左↓7行目から17行目：
 ループ・フィルタの～求めました。

↓
 電流出力型の場合，電圧出力型のとき
 と違い，ループ・フィルタを除いた伝達
 特性が求められません。

前回の図6に示すように，ループ・フ
 イルタの位相が最も戻っている周波数f_M
 付近では，ループ・フィルタのインピー
 ダンスはほぼR₂です。

VCOのゲイン，位相比較器とルー
 プ・フィルタの合成ゲイン，分周数(N)，
 R₂とで決定される積分特性が0dBにな
 る周波数をf_{VPNF}とすると，次式で求め
 ることができます。

$$f_{VPNF} = K_{VCO}(2I_p R_2 / 2\pi) \times (1/2\pi N)$$